

Universidade Federal de Lavras
Departamento de Ciência da Computação

COM 145
ELETRÔNICA BÁSICA

CONVERSORES D/A E A/D

Prof. João Carlos Giacomini
giacomini@ufla.br
www.comp.ufla.br/~giacomini

CONVERSORES DIGITAIS-ANALÓGICOS (DAC)

1 – INTRODUÇÃO

Os dados em um microprocessador estão em forma digital. Isto difere do mundo exterior onde os dados estão em forma analógica (contínua). Para obter dados digitais, necessitamos de um conversor analógico/digital (conversor A/D); ele converterá tensão ou corrente analógica em uma palavra digital equivalente.

Inversamente, depois de uma CPU (Central Processing Unit) ter processado os dados, muitas vezes pode ser conveniente converter a resposta digital em uma tensão ou corrente analógicas. Esta conversão requer um conversor digital-analógico (conversor D/A).

A interface analógica é o limite ou a fronteira onde digital e analógico se encontram, onde o microcomputador se conecta ao mundo exterior. Nesta interface, encontramos ou um conversor A/D (lado de entrada) ou um conversor D/A (lado de saída).

Um exemplo da necessidade de conversores pode ser visto na transmissão digital. Suponha, por exemplo, que se deseja transmitir um sinal proveniente de um microfone à entrada de um alto-falante remoto. Um processo usado para transmitir o sinal sem o efeito do ruído (perturbação aleatória imprevisível) é transmitir o sinal digitalmente. Portanto a primeira coisa a ser feita é amplificar o sinal e convertê-lo para digital, utilizando um conversor A/D. Depois transmitir o sinal digital e no ponto remoto restaurar o sinal digital (técnica facilmente obtida com comparadores) e transformá-lo em sinal analógico utilizando conversor D/A e, em seguida, aplicá-lo no alto-falante. Este sistema de comunicação é chamado de sistema por modulação por códigos de pulso (PCM).

Na entrada de tal sistema de processamento, o processo global de conversão de um sinal analógico para uma forma digital envolve uma seqüência de quatro processos industriais chamados amostragem, retenção, quantização e codificação. Estes processos não são necessariamente realizados em operações separadas. De um modo geral, a amostragem e retenção são feitos simultaneamente em um tipo de circuito chamado amostrador-retentor (sample & Hold) de primeira ordem, enquanto a quantização e a codificação são feitas simultaneamente em um circuito chamado conversor analógico/digital (A/D). Depois que o

processamento digital é completado, a reconstituição de um sinal analógico de saída é obtida pela operação de conversão digital analógico (D/A) seguida de filtragem. Os conversores D/A são mais simples do que os conversores A/D. Mais ainda, um conversor D/A é frequentemente utilizado dentro da estrutura de conversores A/D. Por estas razões, consideraremos primeiro os conversores D/A.

2 – CONVERSORES DIGITAIS-ANALÓGICOS (DAC)

A melhor forma de descrever a relação entre uma saída analógica e uma entrada digital é através de uma representação gráfica. A figura 1 ilustra a saída de um conversor de 3 bits tendo oito níveis discretos, compreendendo a faixa desde 0 até 7/8 do fundo de escala. Na prática, a barra zero pode não ser exatamente zero, devido ao erro de offset, o intervalo desde 0 até 7/8 pode não ser precisamente codificado devido ao erro de ganho, e a diferença nas alturas das barras pode não mudar uniformemente devido à não linearidade. Não linearidade é o erro mais difícil de se compensar, pois não pode ser eliminado por ajuste.

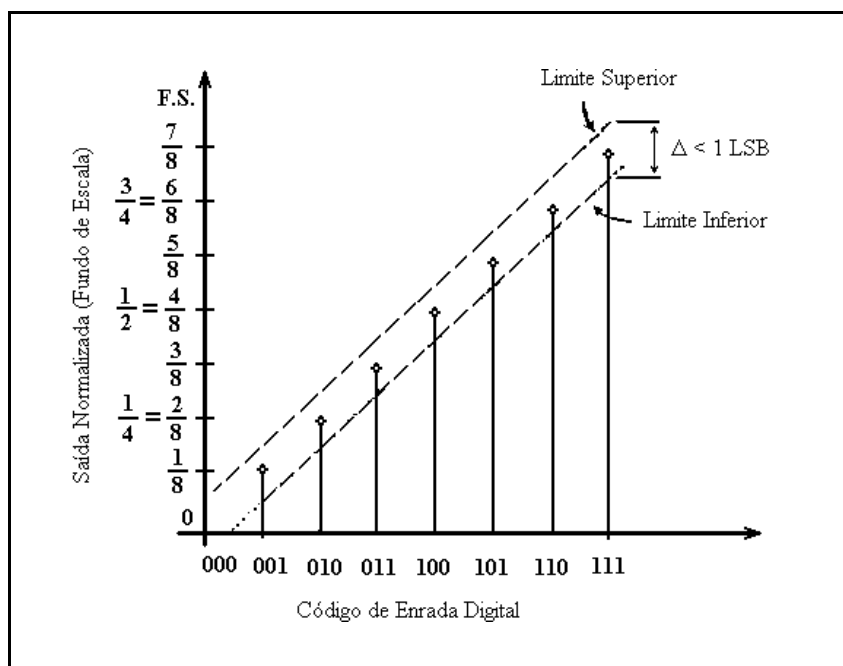


Figura 1 – Saída de um conversor D/A de 3 bits

Na figura 1 observamos uma faixa limitada que define o máximo erro diferencial de não linearidade. Por exemplo, um conversor D/A que apresenta uma variação na tensão de saída de 1,5 LSB para uma variação de 1LSB na entrada apresenta um erro de 0,5 LSB (não linearidade diferencial).

Existe uma grande variedade de conversores D/A, alguns fornecem uma tensão na saída e outros fornecem uma corrente na saída, cujo valor é proporcional à palavra digital aplicada na entrada.

A figura 2 mostra o diagrama de blocos de um conversor D/A. A tensão de referência analógica deverá ser a mais estável possível. Alguns DAC's possuem uma fonte de referência interna, outros necessitam de uma fonte de referência externa. Os DAC's que necessitam desta fonte são chamados conversores multiplicadores (multiplying DAC's). Na verdade todos DAC multiplicam, a vantagem em usar o segundo é que o resultado analógico é o produto da palavra digital (externa) por um sinal analógico (também externo) . Em muitos modelos, existe a fonte interna acessível podendo ser conectada externamente à entrada de referência.

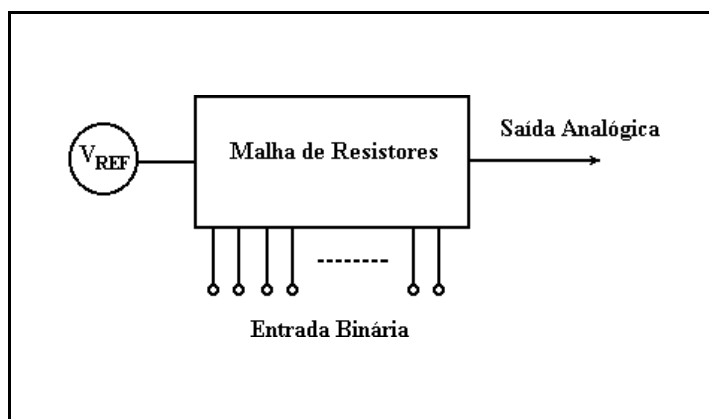


Figura 2 – Configurações básicas de um DAC

2.1 – TIPOS BÁSICOS DE CONVERSORES D/A

As duas técnicas comumente usadas em conversores D/A são: rede de resistor com peso binário e a rede R-2R. Ambos os termos se relacionam com a malha de resistores utilizada no conversor. Estes dois tipos são mais convenientemente descritos para o caso de tensão na saída, ou seja a palavra digital produz na saída um nível equivalente de tensão.

2.2 – CONVERSOR D/A COM RESISTORES DE PESO BINÁRIO

Este tipo de conversor é mostrado na figura 3, inclui uma tensão de referência, um conjunto de chaves, um conjunto de resistores de precisão de peso binário e um amplificador operacional. Cada bit da palavra digital controla a chave correspondente. Se o valor do bit é o estado binário 1, a chave fecha em $+V_{REF}$. Se é 0, a chave fecha em 0 [V]. Quando a chave fecha, a tensão de referência é aplicada no extremo do resistor em série com a chave, e a corrente flui para o nó somador. A soma das correntes no nó produz uma tensão na saída proporcional à corrente total e portanto proporcional ao código digital.

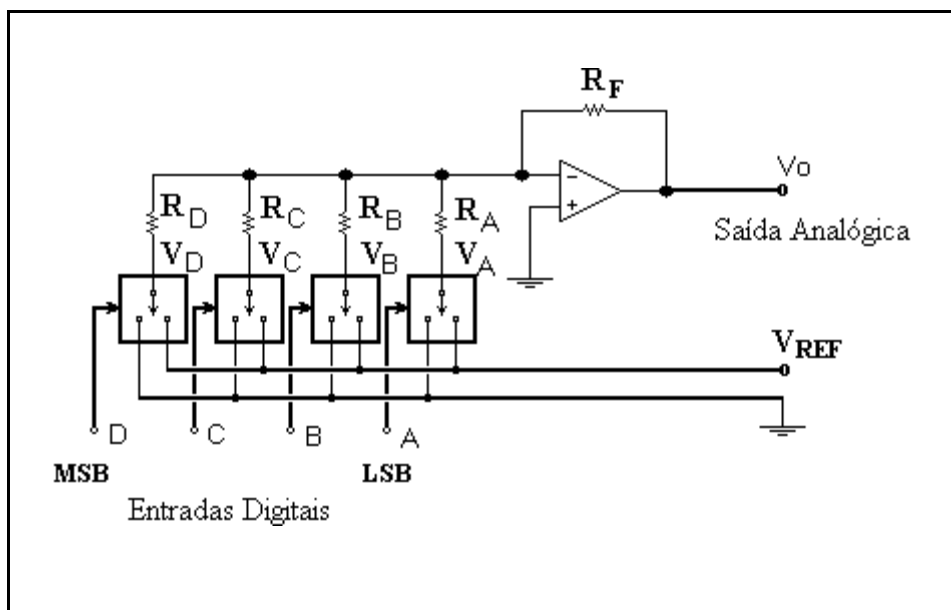


Figura 3 – Conversor D/A

As tensões V_A , V_B , V_C e V_D podem assumir valores iguais a $+V_{REF}$ e a ZERO, dependendo do estado binário correspondente.

Então temos :

$$V_A = A \cdot V_{REF}; \quad V_B = B \cdot V_{REF}; \quad V_C = C \cdot V_{REF}; \quad V_D = D \cdot V_{REF}.$$

Onde as letras A, B, C e D representam o estado binário. Por exemplo: se a palavra digital é 0101, as tensões correspondentes são: $V_A = V_{REF}$, $V_B = 0$, $V_C = V_{REF}$ e $V_D = 0$.

Usando esta linha de raciocínio e a teoria de amplificadores operacionais podemos escrever a tensão na saída como:

$$V_0 = -\frac{R_F}{R_A} V_A - \frac{R_F}{R_B} V_B - \frac{R_F}{R_C} V_C - \frac{R_F}{R_D} V_D$$

Fazendo: $R_A = 8 R_D$, $R_B = 4R_D$ e $R_C = 2R_D$, e substituindo as tensões, temos:

$$V_0 = -\frac{R_F}{8R_D} A V_{REF} - \frac{R_F}{4R_D} B V_{REF} - \frac{R_F}{2R_D} C V_{REF} - \frac{R_F}{R_D} D V_{REF}$$

$$V_0 = -\frac{R_F V_{REF}}{8R_D} (8D + 4C + 2B + A)$$

Vemos pela equação acima que a tensão de saída é proporcional à palavra digital, caracterizando assim um conversor Digital-analógico.

Em aplicações práticas, um conversor D/A de 12 bits necessita de uma faixa de valores de resistores de 2048:1, logo se o valor do resistor MSB for 10 k Ω , o LSB deverá ter um resistor de $2^{12-1} \times 10 \text{ k}\Omega = 2048 \text{ k}\Omega = 20,48 \text{ M}\Omega$. Este tipo de configuração é limitado a sistemas de baixa resolução (5 bits) devido a larga faixa de valores de resistores envolvidos e a dificuldade em se estabelecer o mesmo grau de tolerância e estabilidade para relações maiores do que 20:1.

A taxa de conservação destes conservadores é relativamente baixa, principalmente devido a alta impedância de entrada, limitações das chaves analógicas e características do amplificador operacional.

EXEMPLO:

Projetar um conversor de 3 bits, de tal forma que a saída analógica possa variar entre 0 e 5V. Dado $V_{REF} = -5V$.

SOLUÇÃO:

C	B	A	$V_o[V]$	
0	0	0	0	
0	0	1	0,625	= LSB
0	1	0	1,250	
0	1	1	1,875	
1	0	0	2,500	
1	0	1	3,125	
1	1	0	3,750	
1	1	1	4,375	= FS – LSB

Com 3 bits, podemos ter 8 estados diferentes, portanto a única forma da saída analógica variar entre 0 e 5V é fazer com que cada mudança do LSB provoque um degrau de $5/8V$ na saída analógica como vemos na tabela acima.

Da equação 1, para o caso de 3 bits temos:

$$V_o = -\frac{R_f V_{REF}}{4R_D} [4C + 2B + A]$$

$$\text{Para CBA} = 001 \quad \rightarrow \quad V_o = \frac{5}{8}V$$

$$\frac{5}{8} = -\frac{R_f \times (-5)}{4R_D} \times 1 \quad \rightarrow \quad \frac{R_f}{R_D} = \frac{1}{2}$$

Adotando $R_D = 2k\Omega$ e $R_f = 1k\Omega$, temos:

$$R_A = 2^{n-1} R_D = 2^2 \times 1 = 4k\Omega$$

$$R_B = 2 R_D = 2 \times 1 = 2k\Omega$$

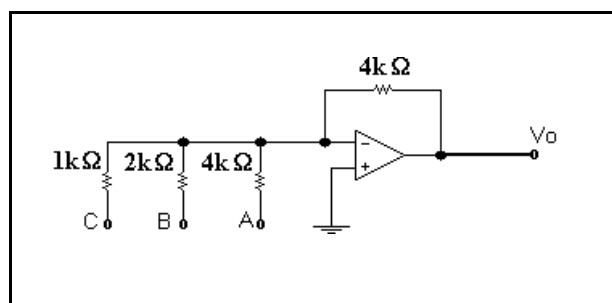


Figura 4 – Conversor D/A de três bits

Suponha agora, que se deseja obter uma tensão na saída entre o mesmo valor, mas variando com um degrau menor que 5/8 para que a representação do sinal digital seja mais precisa.

É óbvio que com 3 bits não podemos cumprir esta exigência, portanto a única maneira de fazermos isto é aumentando o número de bits. Concluímos então, que a precisão está relacionada com o número de bits do conversor.

Para 4 bits, temos 16 estados diferentes, com isto o valor do LSB deverá ser de 5/16 V e para todos bits iguais a “1” teremos que a máxima tensão na saída será de

$$V_{o_{\max}} = FS - LSB = 5 - \frac{5}{16} = 4,563V$$

A necessidade de se aumentar o número de bits para se conseguir um melhor resultado na conversão faz com que este tipo de conversor fique limitado a um número de bits relativamente baixo, devido as considerações já apresentadas. Uma maneira de se contornar este problema é utilizar a Rede R-2R, apresentada a seguir;

2.3 – CONVERSOR D/A COM REDE R/2R

A vantagem sensível deste tipo de conversor é a não necessidade de se usar somente dois valores de resistores na malha, ou seja, R e 2R. Com isto, a tecnologia já existente permite a construção de conversores em circuitos integrados com número de bits acima de 8. Na rede R-2R, cada posição do bit contribui na saída, na proporção do peso binário.

Desde que a rede é linear, a operação pode ser analisada pela superposição: isto é, a contribuição na tensão de saída de cada bit pode ser considerada independente dos outros bits.

Finalmente, todas as contribuições são somadas na entrada do amplificador e produz uma tensão na saída proporcional a palavra digital.

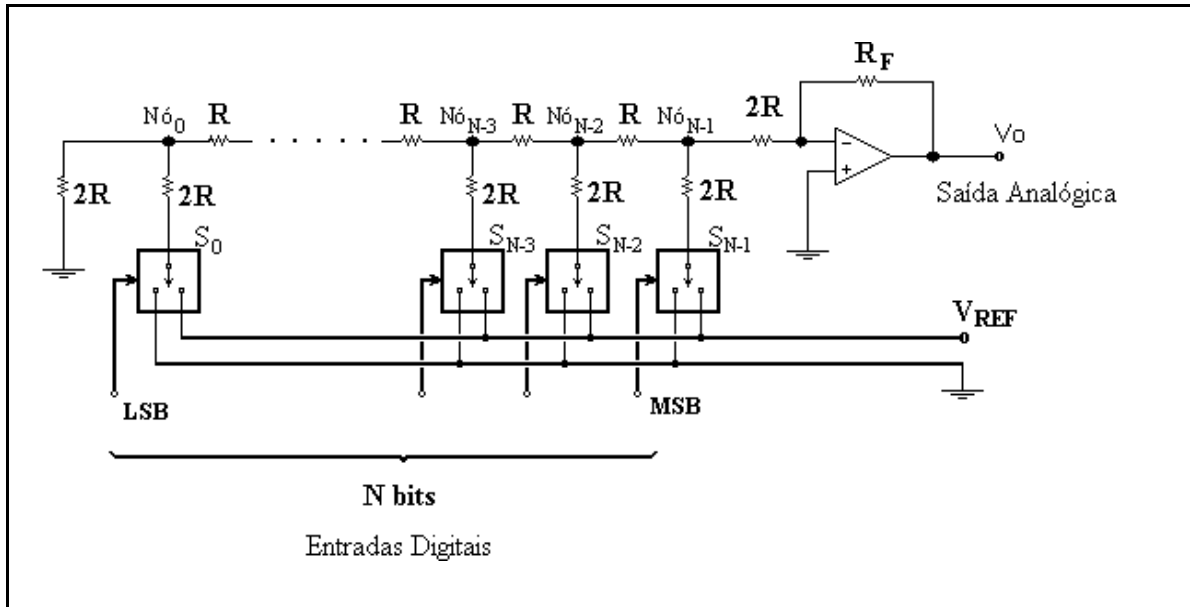
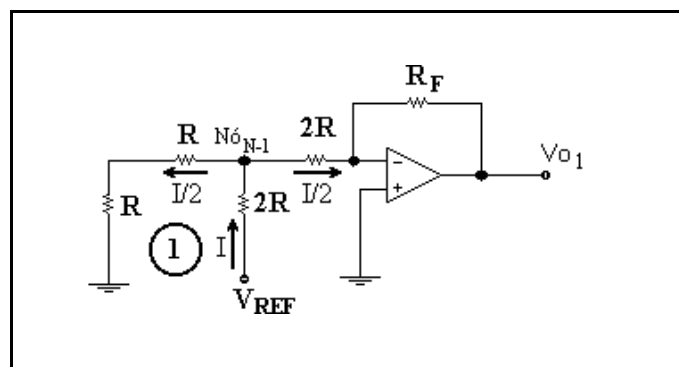


Figura 5 – Conversor D/A em escada R-2R

Considerando que somente a chave S_{N-1} está fechada em $+V_{REF}$ enquanto que todas as outras estão em zero, temos:

Nó N-1



A tensão no nó N-1, V_{N0} , será:

$$V_{N0} = V_{REF} - 2.R.I$$

Sabemos que :

$$V_{REF} = 2RI + (R + R) \frac{I}{2} \quad (\text{Malha 1})$$

$$I = \frac{V_{REF}}{3R}$$

$$V_{NÓ} = V_{REF} - 2R - \frac{V_{REF}}{3R} \quad \rightarrow \quad V_{NÓ} = \frac{V_{REF}}{3}$$

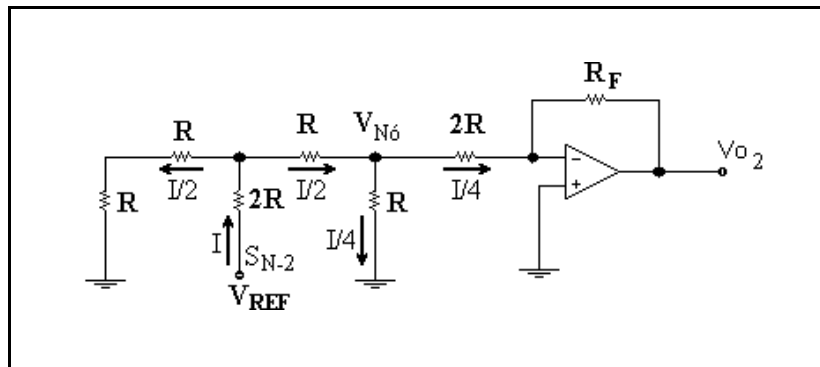
Da teoria da amplificadores operacionais, a tensão na saída é:

$$V_{01} = V_{NÓ} \times \frac{R_F}{2R}$$

$$V_{01} = -\frac{V_{REF}}{2} \times \frac{R_F}{2R}$$

$$V_{01} = -\frac{V_{REF} \times R_f}{6R}$$

Fazendo a mesma consideração no Nó N-2 temos:



Para Calcularmos a tensão na saída, devemos calcular a tensão $V_{NÓ}$:

$$V_{NÓ} = 2R \times \frac{I}{4}$$

$$V_{NÓ} = 2R \times \frac{V_{REF}}{4 \times 3R}$$

$$V_{NÓ} = \frac{V_{REF}}{6}$$

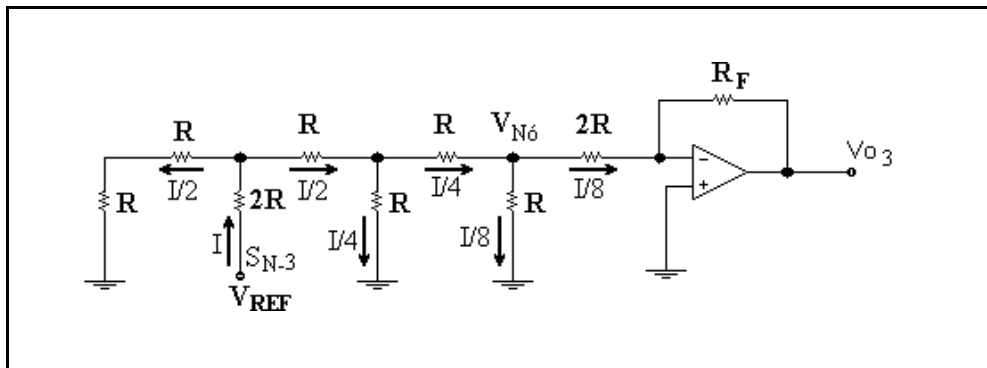
Logo, a tensão V_{02} será :

$$V_{02} = -V_{N0} \times \frac{-R_f}{2R}$$

$$V_{02} = -\frac{V_{REF}}{6} \times \frac{R_f}{2R}$$

$$V_{02} = -\frac{V_{REF} \times V_f}{12R}$$

Considerando ainda o Nó N-3 temos:



A tensão V_{N0} será:

$$V_{N0} = 2R \times \frac{I}{8}$$

$$V_{N0} = 2R \times \frac{V_{REF}}{3R \times 8}$$

$$V = \frac{V_{REF}}{12}$$

Logo,

$$V_{03} = -\frac{V_{REF}}{12} \times \frac{R_f}{2R}$$

$$V_{03} = -\frac{V_{REF} \times R_f}{24R}$$

Por analogia temos:

$$V_{04} = -\frac{V_{REF} \times R_f}{48R}$$

Usando o teorema da superposição e considerando a presença de uma palavra digital DCBA, podemos escrever :

$$V_0 = V_{01} + V_{02} + V_{03} + V_{04}$$

$$V_0 = -\frac{D \times V_{REF} \times R_f}{6R} - \frac{C \times V_{REF} \times R_f}{12R} - \frac{B \times V_{REF} \times R_f}{24R} - \frac{A \times V_{REF} \times R_f}{48R}$$

$$V_0 = \frac{V_{REF} \times R_f}{48R} \times (8D + 4C + 2B + A)$$

Novamente, temos a tensão de saída proporcional ao código digital DCBA, caracterizando um conversor D/A.

Usando este tipo de rede, existem ainda várias versões de conversores D/A. As modificações ocorrem na configuração do amplificador de saída e no modo em que se faz a comutação com as chaves.

As figuras 6 e 7 ilustram estas situações.

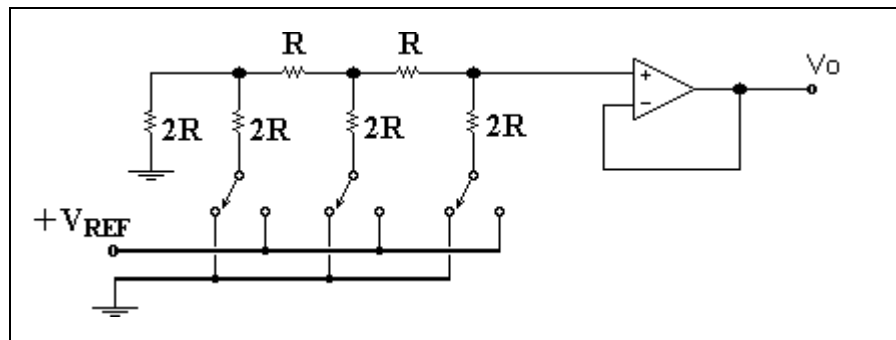


Figura 6 – Conversor D/A Não Inversor

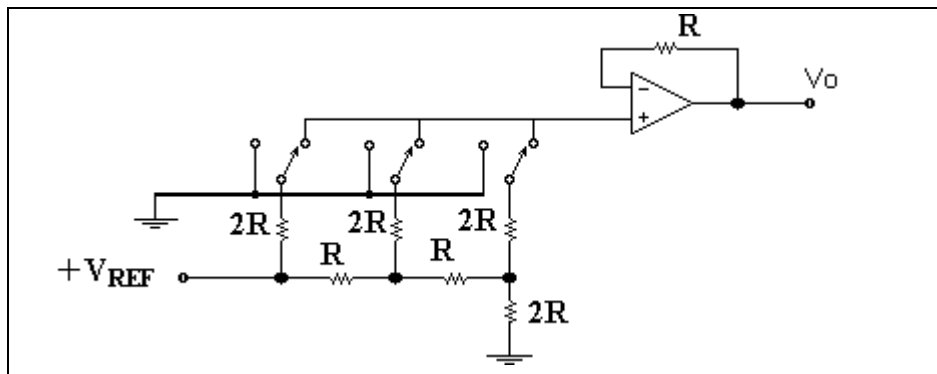


Figura 7 – Conversor D/A por Comutação de corrente

2.4 – COMPONENTES DO CONVERSOR D/A

CHAVES

Melhoras na operação de conversores D/A têm sido obtidas com a utilização de melhores chaves analógicas. Existe uma chave para cada bit da palavra digital, que deve estar ligada ou desligada em resposta ao comando digital na entrada do conversor.

Consegue-se um bom resultado utilizando-se transistores de efeito de campo, FET, que possibilitam uma baixa resistência quando ligada e uma elevada resistência quando desligada. A tecnologia existente utilizará várias técnicas de processamento para se obter o resultado desejado.

GATES DIGITAIS USADOS COMO CHAVES

O projeto de um conversor somador pode ser simplificado usando gates que servirão de entrada digital e atuarão como chaves (figura 8). Esta aproximação permite obter um conversor de 5 bits utilizando a lógica de coletor aberto.

Quando as saídas dos inversores de coletor aberto são baixas, cada gate tem uma impedância de carga de 500Ω , e a tensão de saturação coletor-emissor nos transistores de saídas mantém uma diferença de milivolts entre um e outro. Quando as saídas são altas, cada transistor de saída está desligado e os resistores são referidos a tensão de alimentação V_{cc} . Devido ao fato dos inversores pertencerem a um substrato comum, o balanceamento no nível de tensão é bom.

Este circuito ilustra a idéia básica de um conversor D/A de baixa resolução, podendo ser implementado na prática com circuitos TTL comuns, a entrada digital pode ser proveniente de microcomputadores ou de um contador digital. Uma boa prática é utilizar um contador de década, tal como o 7490, e verificar comportamentos da saída para uma contagem cíclica do contador.

CHAVES DE CORRENTE

Um dos maiores problemas em se obter alta precisão e alta velocidade em conversores D/A tem sido o tempo de estabilização após a comutação das chaves entre os estados ligado e desligado. A evolução das chaves de corrente tem solucionado estes problemas.

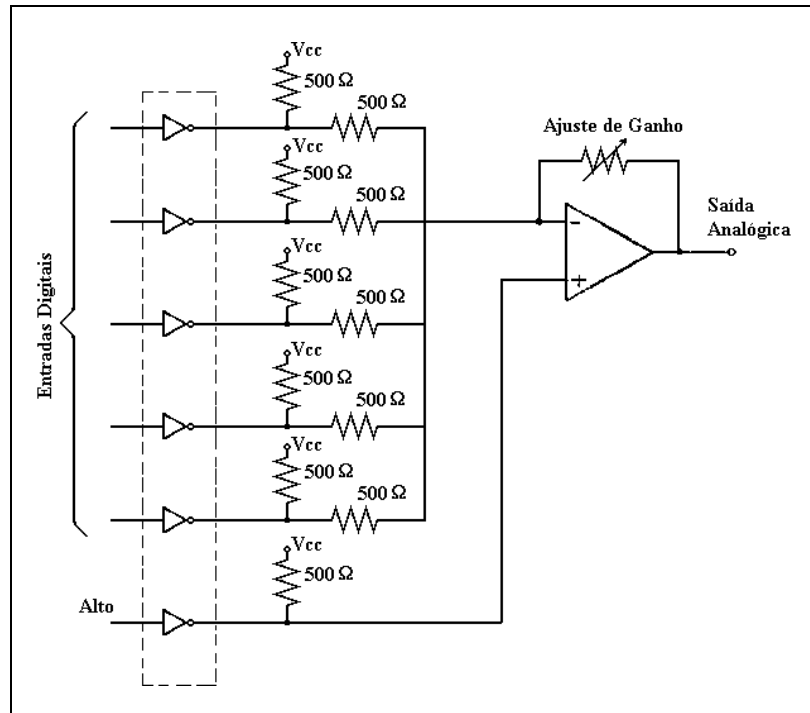


Figura 8 – Conversor D/A usando Gates Como Chaves

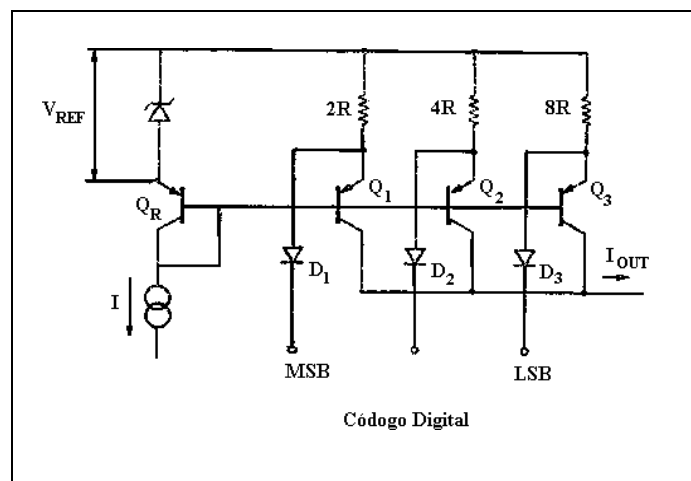


Figura 9 – Chaves de Corrente

O método mostrado na figura 9 usa a chave de corrente para desviar a corrente e com isto eliminar a contribuição do respectivo bit na saída.

Com este método, consegue-se maiores velocidades de comutação do que com chaves de tensão.

Para entender o funcionamento do esquema na figura 9, considere o transistor Q_1 . Se a tensão base-emissor de Q_1 for igual à tensão base-emissor de Q_R , a tensão em cima de $2R$ será igual à tensão do zener, V_{REF} . A corrente, através do resistor será $\frac{V_{REF}}{2R}$, e assumindo nula a corrente no diodo e β muito grande, esta mesma corrente fluirá para o coletor (i. e., a saída). Para que isto aconteça, o catodo do diodo deve ter um potencial maior que o do anodo (i. e., lógica “1”).

Se a tensão de base for 1,4V, e assumindo que a queda de tensão no diodo seja 0,6V, uma tensão de 2V (mínima tensão para nível lógico “1” em TTL) será suficiente para esta condição. Se o anodo de D_1 é agora chaveado para nível lógico “0” (0,8 V ou menos), Q_1 cortará, devido à condução de D_1 , desviando toda a corrente de Q_1 . Com a condição de D_1 o emissor de Q_1 estará abaixo do potencial de base, logo a contribuição de Q_1 na saída é nula. Desde que a corrente não é interrompida e sim desviada, a variação de tensão é pequena e consequentemente o tempo de comutação é curto, sendo estabilizada na ordem de 200ns para uma variação no LSB.

Se Q_1 e Q_R têm o mesmo V_{BE} e têm a mesma corrente do emissor, a tensão em $2R$ (V_{REF}) estará estabilizada em relação à temperatura, fazendo com que a corrente seja essencialmente independente da temperatura, exceto para variações em β . Os bits de ordem inferior operam de maneira similar.

2.5 – ESPECIFICAÇÕES PARA CONVERSORES D/A

Consideraremos agora, vários parâmetros que servem para descrever a qualidade do desempenho de um conversor D/A. Estes parâmetros são geralmente especificados pelos fabricantes dos conversores.

2.5.1 – RESOLUÇÃO

A resolução de um conversor D/A especifica o número de bits de entrada e, consequentemente, o número de tensões na saída (ou correntes) possíveis. Por exemplo, um conversor que pode aceitar 10 bits de entrada é referido como um conversor com uma resolução de 10 bits. O número de possíveis tensões de saída é $2^{10} = 1024$. Assim a mínima variação possível da tensão de saída é $\frac{1}{1024}$ da faixa de variação da saída.

Aproximando-se 1024 por 1000, podemos descrever a resolução como sendo de 1 parte em 1000 ou 0,1%.

Entretanto, na prática, a resolução útil de um conversor é quase sempre menor do que especificado, porque a resolução é limitada por ruídos, temperatura, etc.

A resolução útil (normalmente não fornecida) é o menor e único valor na saída para todas as condições de temperatura, ruídos, etc. Por exemplo, um conversor de 12 bits pode ter uma resolução útil, para toda a faixa de temperatura, de somente 10 bits. A resolução útil é limitada pela precisão relativa (linearidade) porém, a resolução não limita a precisão. Por exemplo, um conversor D/A de 4 bits usado em uma fonte de alimentação programável tem 16 níveis, mas pode ter uma precisão de 0,01%. Podemos ter conversores de 8 bits que não tem precisão suficiente para tal aplicação, embora sua resolução seja mais do que adequada. Podemos ter ainda, um conversor de 10 bits com uma resolução de 0,1% e com uma precisão de 0,05% ou até mesmo uma precisão de 0,5%, só que neste último caso, especificar um conversor de resolução igual a 0,1% e precisão igual a 0,5% fica sem sentido no ponto de vista prático, isto significa que a resolução dada não é a resolução real do conversor. Portanto, podemos definir como sendo:

$$Q = \frac{1}{2^n} \quad \text{onde: } n = \text{número de bits}$$

ou

$$Q = \frac{FS}{2^n} \times |V| \quad \text{F S = fundo de escala (Full Scale)}$$

2.5.2 – LINEARIDADE OU PRECISÃO RELATIVA

Linearidade e precisão relativa são sinônimos usados para especificar conversores. Geralmente o termo linearidade é usado para conversores D/A enquanto que precisão relativa é usado para conversores A/D.

Em um conversor D/A ideal, iguais incrementos numéricos da entrada digital deveriam nos dar incrementos iguais na saída analógica. Se analisarmos a saída de um conversor D/A que consiste de um conjunto de pontos discretos, o erro de linearidade ou a não linearidade pode ser definida como a máxima distância entre qualquer desses pontos discretos e a reta traçada entre os pontos zero e fundo de escala para uma conversão unipolar, estes pontos são ajustados pelo usuário (na prática) por um trimpot de ajuste. A figura 10 mostra a saída analógica relativa à entrada digital.

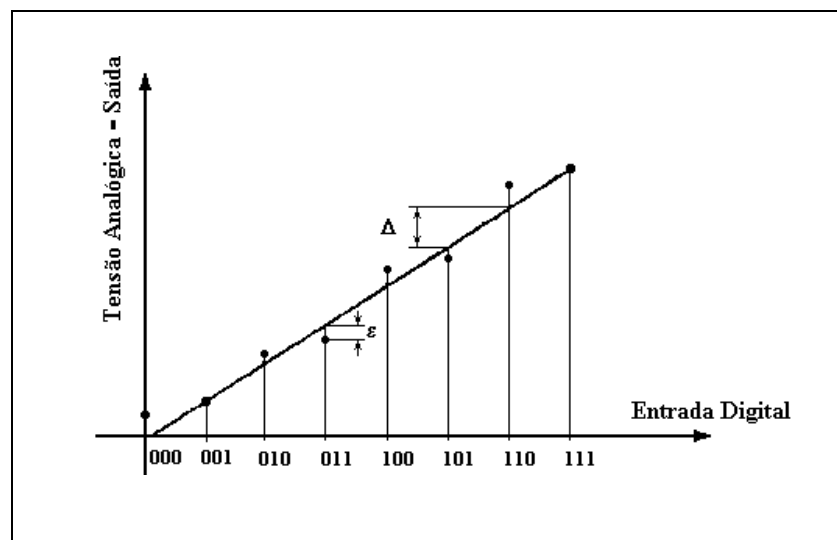


Figura 10 – Medida de Linearidade

Os pontos indicam a tensão analógica correspondente a cada entrada digital para um conversor real. Se o conversor fosse ideal, os pontos cairiam sobre a linha reta. Na figura, indicamos por “ ϵ ” o erro de linearidade. A tensão Δ é a variação nominal da saída analógica

correspondente a uma variação da entrada digital equivalente à variação no bit menos significativo (LSB).

A linearidade de um conversor é especificada geralmente pela comparação entre ε e Δ . Assim, de um modo geral, encontramos a linearidade de um conversor comercial especificada como “menor do que $\pm \frac{1}{2} \text{LSB}$ ”, o que significa que $|\varepsilon| < \frac{1}{2} \times \Delta$. Esta é uma especificação muito importante. Suponhamos que em uma entrada digital encontramos que ε é positivo e $\varepsilon > \frac{1}{2} \times \Delta$, enquanto na próxima entrada digital superior ε é negativo e $|\varepsilon| > \frac{1}{2} \times \Delta$. Neste caso o conversor teria o comportamento inaceitável de não ser monotônico, isto é, um aumento na entrada digital nos daria uma diminuição na saída analógica. Portanto a não linearidade máxima permissível é $\pm \frac{1}{2} \text{LSB}$.

A linearidade de um conversor depende principalmente da precisão dos resistores. Depende também da precisão com a qual as quedas de tensão nas chaves são fixadas. Como tanto, os resistores como as tensões de chaveamento são dependentes da temperatura a linearidade pode ser afetada por mudanças substanciais da temperatura.

2.5.3 – PRECISÃO

A precisão de um conversor é uma medida da diferença entre a tensão analógica obtida na saída e aquela que o seria em um caso ideal. A falta de linearidade contribui para a imprecisão. Maiores limitações na precisão são devidas à incerteza nas tensões de referência, ao ganho do amplificador, ao OFFSET do amplificador, etc. as especificações típicas de um fabricante de um conversor de qualidade razoável podem ser dadas como, por exemplo, “0,2% do valor do LSB”.

2.5.4 – TEMPO DE ACOMODAÇÃO

Quando a entrada digital varia, chaves se abrem e fecham e aparecem variações de tensão. Devidos às inevitáveis capacitâncias parasitas presentes no circuito passivo, os transientes iniciados podem persistir por um tempo apreciável. Soma-se a isto o tempo de

resposta do amplificador operacional para os conversores com saídas em tensão. Um gráfico típico da variação na tensão de saída como uma função do tempo é mostrado na figura 11. Observe que há um tempo finito necessário para que a saída atinja seu novo nível bem como poderá também ocorrer uma oscilação. O intervalo compreendido entre o instante da variação na entrada até o instante em que a saída se aproxima o suficiente de seu valor final é chamado de tempo de acomodação. O tempo de acomodação depende, entre outros fatores, de como definimos a “aproximação suficiente”. Um conversor para uso geral típico pode ter um tempo de acomodação como sendo de “500 ns para uma aproximação de 0,2% do fundo escala em relação ao valor final”.

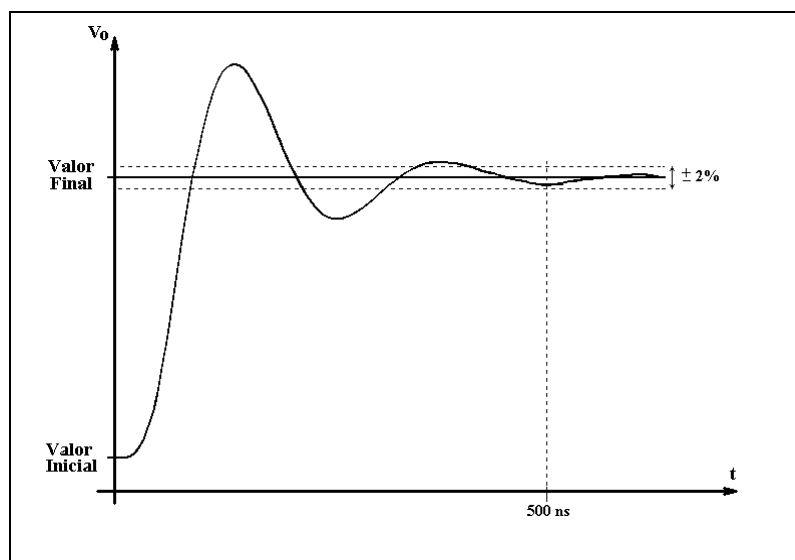


Figura 11 – Tempo de Acomodação em um Conversor D/A

Alguns dos maiores transientes são produzidos pela operação de chaves. Por exemplo, suponha que em um conversor unipolar de 4 bits as chaves estão em $S_3 S_2 S_1 S_0 = 0111$, correspondendo a uma saída de + 7V. Suponha que a variação na entrada requer agora que $S_3 S_2 S_1 S_0$ fiquem em 1000, correspondendo a 8V. Suponha que S_3 varie antes das outras chaves, e assim por um breve intervalo de tempo teremos $S_3 S_2 S_1 S_0 = 1111 = 15V$. Se os picos produzidos no Conversor D/A não podem ser tolerados, a tensão de saída pode ser amostrada e mantida. Esta nova saída é então passada através de um filtro passa-baixas, encontrado na prática que os “vales” formados pelo circuito S/H (amostragem e retenção de primeira ordem) contém significativamente menos energia do que um pico típico em um D/A. Assim, o ruído

produzido depois da filtragem do circuito S/H é muito menor do que o obtido depois de filtrar o D/A. Isto quer dizer que colocar o filtro PB entre o circuito de amostra e retenção e o conversor é mais conveniente que colocá-lo após o conversor.

2.5.5 – TEMPO DE CONVERSÃO

Tempo de conversão, ou velocidade de conversão, é o tempo necessário para o conversor fazer a medida total desde o instante em que o sinal digital aparece na entrada até o instante em que o sinal analógico correspondente aparece na saída.

O tempo de conversão para os conversores D/A de alta velocidade é aproximadamente 10 μ s ou menos {100.000 ou mais conversões por segundo). Conversores de velocidade moderada tem um tempo de conversão entre 10 a 100 μ s (10.000 a 100.000 conversões por segundo). Os conversores considerados lentos apresentam tempo de conversão de 100 μ s ou mais (abaixo de 10.000 conversões por segundo).

2.5.6 – CONVERSORES D/A MULTIPLICADORES

O conversor D/A multiplicador difere do convencional no que diz respeito à tensão de referência. O primeiro é projetado para trabalhar com sinais de referências que variam enquanto que o segundo possui uma referência fixa. A saída do conversor D/A multiplicador é proporcional ao produto da tensão de referência pela entrada digital.

2.5.7 – OFFSET

Para a grande maioria de conversores bipolares (por exemplo, $\pm 10V$), para se obter a saída negativa para os correspondentes números negativos, um conversor unipolar é usado deslocando as saídas pela metade do fundo de escala. Melhores resultados são obtidos se este offset de corrente ou tensão for derivado da mesma fonte de referência que determina o fator de escala do conversor.

2.5.8 – SENSIBILIDADE À TEMPERATURA

Para qualquer entrada digital fixa, a saída analógica variará com a temperatura. Esta sensibilidade à temperatura varia tipicamente numa faixa entre $\pm 50 \text{ ppm}/^{\circ}\text{C}$ em um conversor para uso geral e $\pm 1,5 \text{ ppm}/^{\circ}\text{C}$ em uma unidade de alta qualidade. A sensibilidade à temperatura geral é devida às sensibilidades à temperatura das tensões de referência, dos resistores do conversor, do op-amp e ainda da tensão de OFFSET do amplificador.

2.5.9 – ESPECIFICAÇÕES TÍPICAS

A tabela 4 ilustra as especificações típicas para um conversor D/A. É importante o conhecimento do significado destas características para a especificação de um conversor D/A.

2.6 – CONVERSORES D/A INTEGRADOS

Os conversores D/A integrados substituíram os projetos discretos e permitiram a criação de novas aplicações. Economia, tamanho reduzido, baixo consumo e operações realizáveis numa ampla faixa de temperatura podem ser conseguidos com um único chip.

Alguns fabricantes de CI oferecem vários circuitos integrados que podem ser conectados para se obter um conversor D/A, porém os usuários preferem um conversor num único chip de tal forma a obter todas as funções. Embora, há pouco tempo atrás as funções mais complexas só podiam ser obtidas com os conversores híbridos (integrado + discreto), temos hoje, devido ao avanço tecnológico, conversores integrados que executam as funções dos híbridos, conseguindo com isto, abrir uma nova faixa de mercado que antigamente era proibitivo devido ao alto custo envolvido.

Esta tendência não significa o fim dos híbridos e dos conversores em cartão, porque estes ainda levam a vantagem de resultados em um conversor extremamente complexo realizando tarefas difíceis para o conversor monolítico.

TABELA 4 – ESPECIFICAÇÕES DE UM CONVERSOR D/A

DAC-QM Digital-to-Analog Converters Specifications (Typical @ +25° C unless otherwise noted)	
Model	DAC-QM
Resolution	8QM 8bits 10QM 10bits 12QM 12 bits
Digital inputs	“0” $E < +0,8V$ @ -3,2mA “1” $+2 < E < +6V$ @ +80 μ A TTL Compatible
Strobe	Data transfers from inputs to register on “0” to “1” Change. Width at least 50 nsec, “0-1” transition at least 100 nsec after data change
Input codes	Binary, 2s compl., BCD, and their complements
Output ranges(User programs with jumpers)	0 to +5V @ 10mA 0 to +10V @ 10mA $\pm 2,5V$; $\pm 5V$; $\pm 10V$ @ 10mA
Output impedance	0,02 Ω
Conversion speed Slewing Rate	5 μ sec to 0,01% 20V/ μ sec
Linearity	$\pm \frac{1}{2}$ LSB
Accuracy absolute	$\pm \frac{1}{2}$ LSB
Temp. coefficient Gain Zero	$\pm 7\text{ppm}/^{\circ}\text{C}$ max $\pm 15\mu\text{V}/^{\circ}\text{C}$ max
Temp. range Standard Optional	0°C to 70°C – 55°C to 125°C
Power required	+ 15V _{DC} @ +25mA – 15V _{DC} @ –30mA + 5V _{DC} @ 150mA
Power-supply sensitivity	0.002%% supply ΔE ($\pm 15VD$) supplies only
Adjustments (User provides) Gain Adj. Zero Adj.	100 Ω rheostat 20k Ω pot

Discutir o avanço de conversores monolíticos é muito difícil devido à rápida proliferação do mesmo. Novos CI's surgem, de maneira geral similar ao básico, porém, apresentando melhoras com o tempo, facilidade de interface, etc. Nas seções subsequentes estudaremos alguns conversores monolíticos de baixo custo e utilizando em aplicações gerais.

2.6.1 – O CONVERSOR DAC 0800

O DAC é um conversor de 8 bits, monolítico, de alta velocidade, saída em corrente e com um tempo de acomodação de aproximadamente 100ns para $\pm 1/2$ LSB. Quando usado como multiplicador, a operação pode ser considerada monotônica para uma faixa de corrente de 40 para 1.

O simples ajuste do potencial V_{LC} (pino 1), realiza a interface com todas as famílias lógicas.

O desempenho e as características do dispositivo são inalteradas para a faixa de tensão de alimentação de $\pm 4,5$ V a ± 18 V. A figura 12 apresenta a configuração externa deste CI.

Os conversores DAC0800L, DAC 0802L, DAC0800LC, DAC0801LC e DA00802LC pertencentes à linha de conversores da National Semiconductor são diretamente substituídos pelos DAC08, DAC08C, DAC08E e DAC08H, respectivamente, pertencentes à série DAC08 da Motorola.

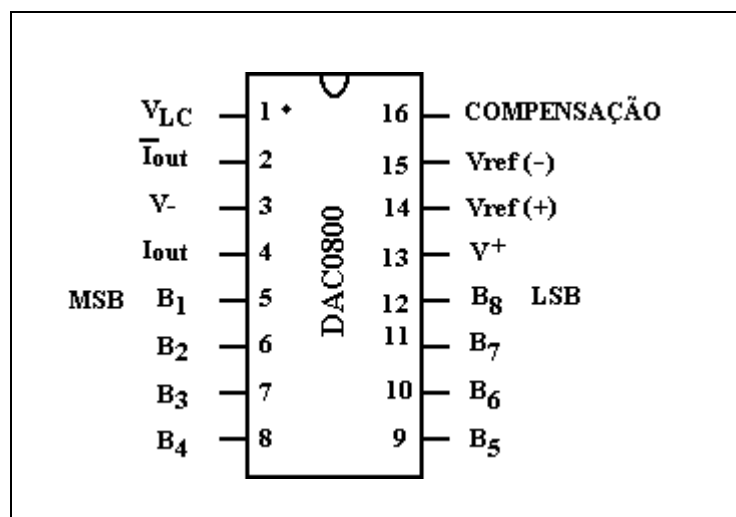


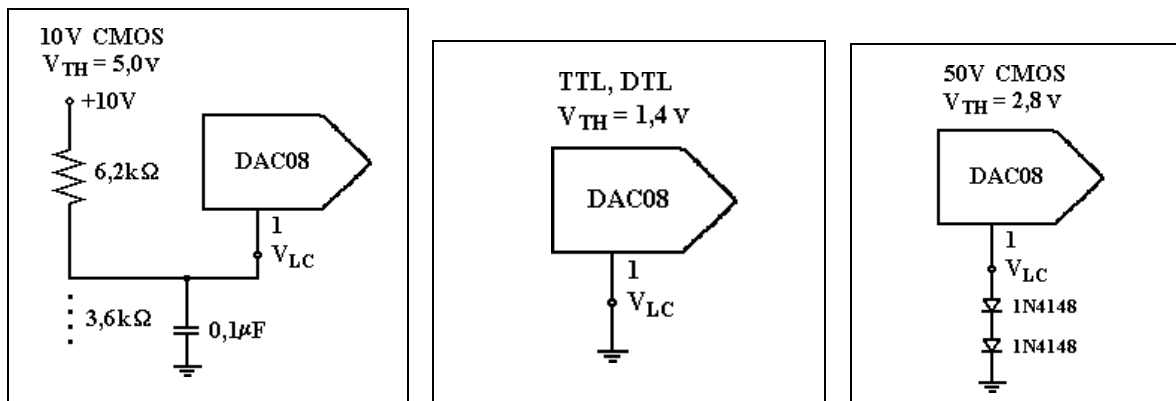
Figura 12 – Pinagem do DAC 0800

PINO 1 - THRESHOLD CONTROL (V_{LC})

O pino 1 permitirá a interface com todas as famílias lógicas simplesmente por um ajuste adequado de tensão que é fornecido pelos fabricantes em manuais. O ajuste é feito pela definição da tensão threshold de cada família, e sendo assim esta tensão será a soma da tensão no pino 1 (V_{LC}) mais 1,4V correspondentes à queda de tensão nos dois diodos internos do CI. Logo

$$V_{TH} = V_{LC} + 1,4V$$

Somente como exemplo citaremos alguns casos, para outras famílias consultar as folhas de dados no apêndice.

*PINO 2 – ($\overline{I_{out}}$) E PINO 4 (I_{out})*

São as duas saídas em correntes, complementares, que aumentam a versatilidade e permitem a operação no modo diferente para efetivamente dobrar a tensão de saída pico-a-pico, com simples resistores de carga como mostra a figura 13.

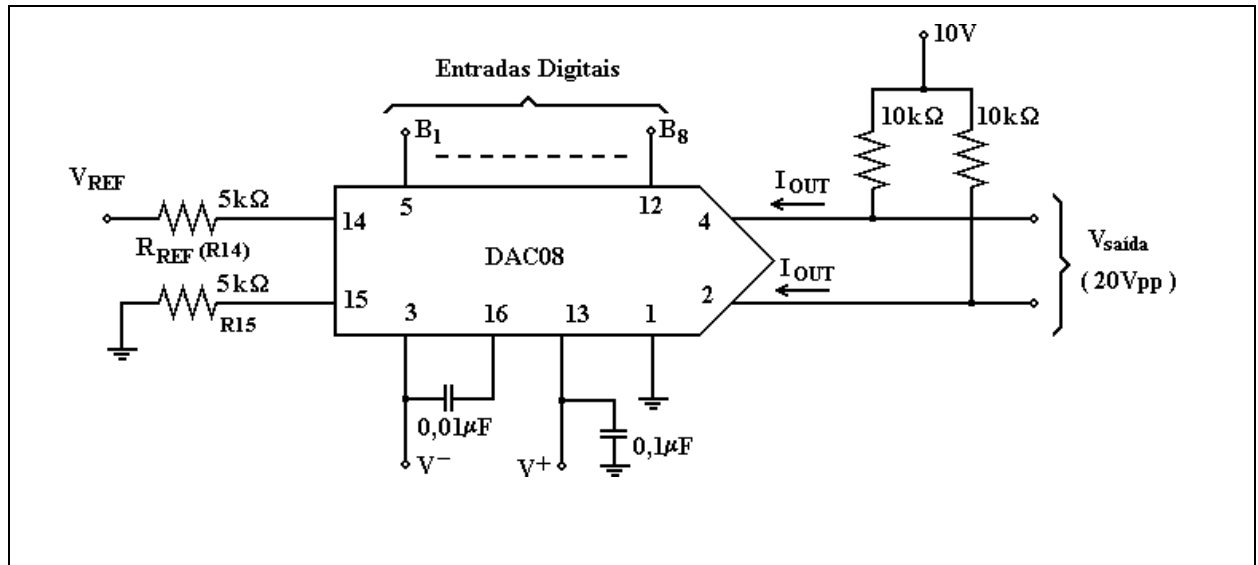


Figura 13 – Conversor D/A com Saída $\pm 10V$

A corrente de saída pode ser determinada pela seguinte expressão:

$$I_O = I_{REF} \times \frac{A}{2^n}$$

onde:

I_O é corrente de saída em mA

I_{REF} é a corrente de referência em mA

A é a palavra binária aplicada na entrada digital, expressada como decimal

n é o numero de bits

Exemplo:

Calcular a corrente de saída quando 10010111 é aplicado a entrada do DAC08 quando a corrente de referência é igual a 4 mA.

$$I_O = I_{REF} \times \frac{A}{2^n}$$

(A = 10010111₂ convertido para a forma decimal , temos A= 1151)

$$I_O = 4 \times \frac{151}{2^8}$$

$$I_O = 4 \times 0,589$$

$$I_O = 2,359\text{mA}$$

As duas correntes. de saída são complementares e frações do fundo de escala, logo o relacionamento entre elas pode ser dado por:

$$I_O + \overline{I_O} = I_{FS}$$

PINO 3(V) E PINO 13 (V+)

Estes pinos dispensam qualquer comentário, uma vez que são os pinos de alimentação do CI.

PINO (B₁) ATÉ O PINO (B₈)

Estes pinos correspondem a entrada digital, proveniente de qualquer CI lógico compatível com a família estabelecida pelo pino 1. Estas entradas requerem somente 2μA de corrente representando uma pequena carga para a saída do circuito digital excitador.

PINO 14 (V_{REF(+)}) e PINO 15(V_{REF(-)})

Estes pinos são utilizados para fornecedor a corrente de referência e ajustar o fundo de escala. Observe na figura 11 que:

$$I_{REF} = \frac{V_{REF}}{R_{REF}}$$

A corrente de referência pode estar entre 0,2mA e 4 mA, mas o fabricante recomenda

2 mA para TTL / DTL e 1mA para compatibilidade com a família lógica de alta velocidade ECL.

A corrente de fundo de escala em função de I_{REF} será:

$$I_{FS} = + \frac{V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Outra observação a considerar é que:

$$I_O + \overline{I_O} = I_{FS} \quad \text{para todos estados lógicos.}$$

Para uma tensão de referência fixa de 10V e para E urna Operação TTL, os valores típicos são:

$$V_{REF} = 10,00V$$

$$R_{REF} = 5,00k\Omega$$

$$R_{15} = R_{REF}$$

$$C_c = 0,01\mu F$$

$$V_{LC} = 0V \text{ (terra)}$$

Note que R_{15} é feito igual a $R_{REF} = R_{15}$ para efeito da compensação das correntes de polarização do amplificador interno.

Um circuito para ajuste do fundo de escala é mostrado na figura 14 (a) e uma operação com tensão negativa pode ser vista na figura 14 (b). Os resistores usados na corrente de referência devem ser o mais preciso possível em relação à temperatura para minimizar o efeito de drift na temperatura, que provocará erros na medida.

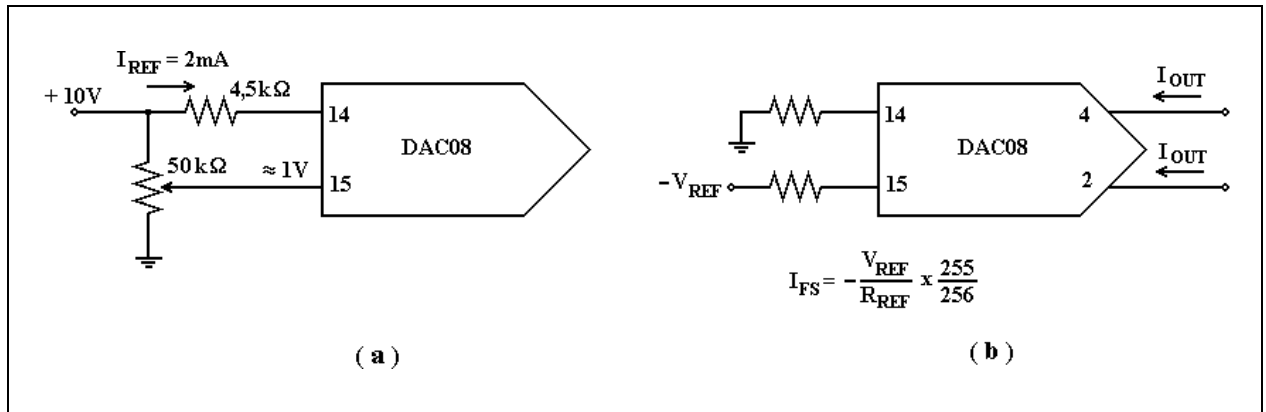


Figura 14 (a) – Ajuste do Fundo de Escala
(b) – Operação com Tensão de Referência Negativa

Podemos observar na figura 14(a) que a corrente I_{REF} é:

$$I_{REF} = \frac{V_{REF} - 1}{R_{REF}} \rightarrow I_{REF} = \frac{10 - 1}{4,5} = 2\text{mA}$$

PINO 16 (COMPENSAÇÃO)

Este pino permite a compensação em frequência do operacional interno, geralmente a compensação é feita por um capacitor C_c conectado entre este pino e o pino 3 (V^-). Normalmente o fabricante fornece o valor deste capacitor para uma dada aplicação.

CIRCUITO PRÁTICO PARA A OPERAÇÃO UNIPOLAR

A figura 15 ilustra as ligações necessárias para urna conversão unipolar positiva, de forma que para o código zero na entrada teremos 0V na saída e consequentemente para todos os bits iguais a “1” na entrada teremos a máxima tensão na saída, ou seja + 9,960V.

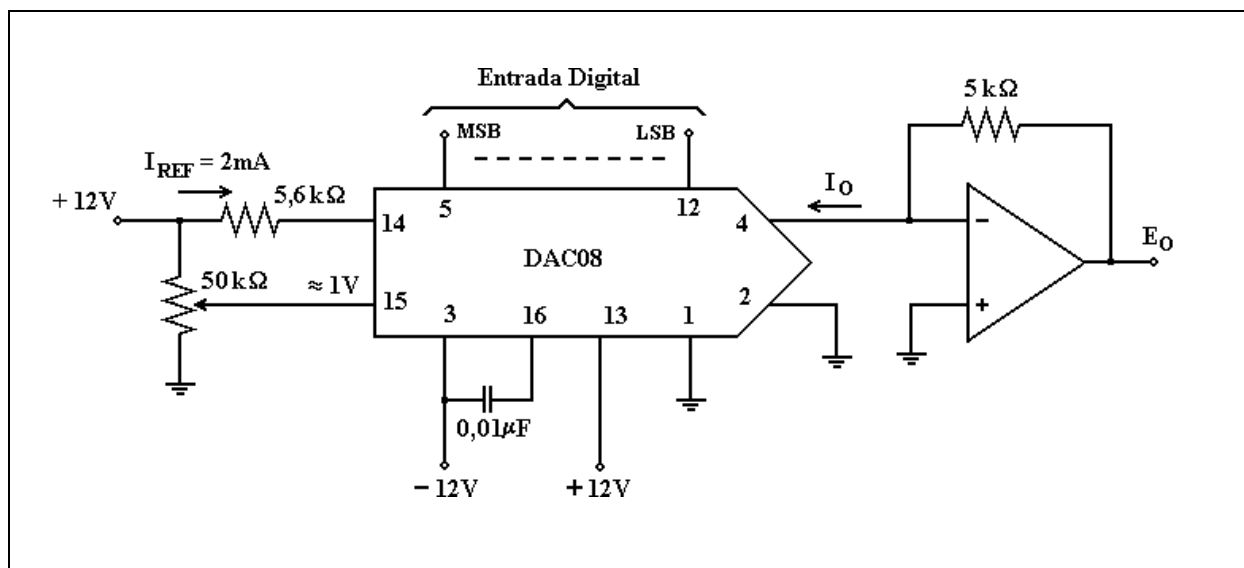


Figura 15 – Conversor DAC08 para Operação Unipolar Compatível com TTL

A tabela 2 mostra os valores da saída para alguns códigos digitais.

Tabela 2 – Operação positiva Unipolar

	ENTRADA DIGITAL								Io (mA)	Eo (V)
	MSB				LSB					
Fundo de Escala	1	1	1	1	1	1	1	1	1,992	9,960
Fundo de Escala – LSB	1	1	1	1	1	1	1	0	1,984	9,920
½ Escala + LSB	1	0	0	0	0	0	0	1	1,008	5,040
½ Escala	1	0	0	0	0	0	0	0	1,000	5,000
½ Escala – LSB	0	1	1	1	1	1	1	1	0,992	4,960
zero + LSB	0	0	0	0	0	0	0	1	0,008	0,040
zero	0	0	0	0	0	0	0	0	0,000	0,000

Para a saída complementar (operação como lógica negativa) conecte a entrada inversora do operacional no pino 2 e aterre o pino 4 na figura 15.

Caso se deseje uma operação com números negativos na saída, substitua a configuração do operacional (conversor corrente/tensão) por um seguidor de tensão.

CIRCUITO PRATICO PARA A OPERAÇÃO BIPOLAR

Considere a figura 15, observando as modificações mostradas na figura 16.

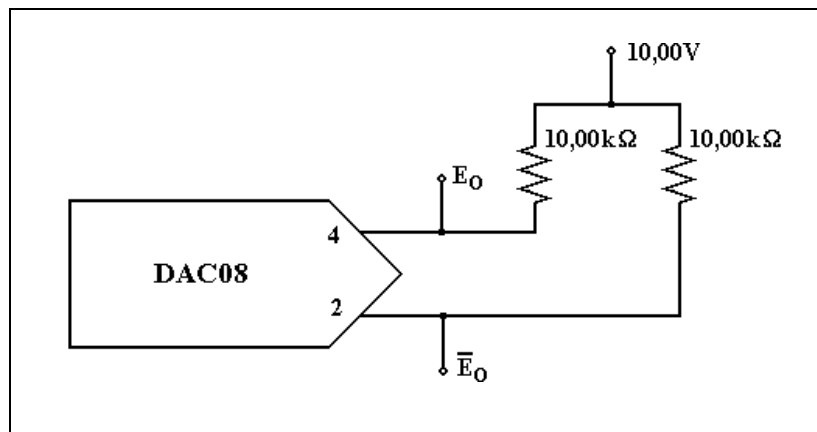


Figura 16 – Operação Bipolar

Tabela 3 – Operação Bipolar

	ENTRADA DIGITAL								Eo (V)	— Eo (V)
	MSB				LSB					Eo (V)
Fundo de Escala Positivo	1	1	1	1	1	1	1	1	– 9,920	+10,000
Fundo de Escala – LSB	1	1	1	1	1	1	1	0	– 9,840	+ 9,920
Zero + LSB	1	0	0	0	0	0	0	1	– 0,080	+ 1,160
Zero	1	0	0	0	0	0	0	0	0,000	+ 0,080
Zero – LSB	0	1	1	1	1	1	1	1	+ 0,080	0,000
Fundo de Escala + LSB	0	0	0	0	0	0	0	1	+ 9,920	– 9,840
Fundo de Escala Negativo	0	0	0	0	0	0	0	0	+10,000	– 9,920

CIRCUITO PRATICO PARA A OPERAÇÃO BINARIO OFFSET

Com uma pequena modificação no circuito da Fig.17 podemos trabalhar no código binário offset, basta ligar a entrada não inversora do operacional em comum com o pino 2 do DAC e desta ligação conectar um resistor de 5kΩ para terra. Convém observar que a qualidade da simetria na saída é função do casamento entre os resistores de 5kΩ, devemos ter uma tolerância de $\pm 0,05\%$ para uma boa simetria.

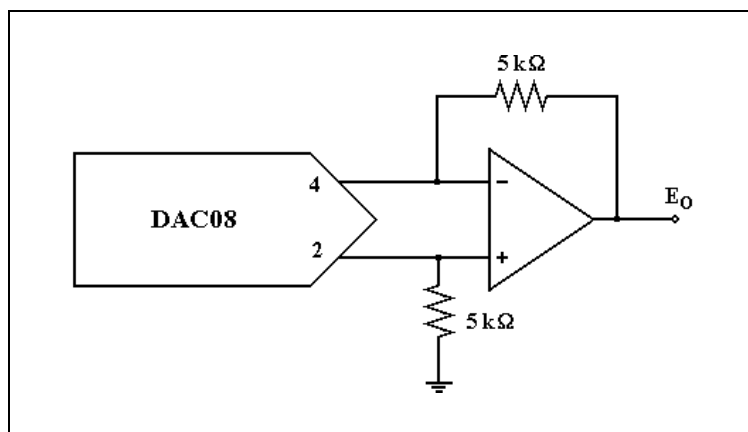


Figura 17 - Operação Binário Offset

A tabela 4 mostra a saída para os códigos digitais na entrada.

Tabela 4 – Operação Binário Offset Simétrica

	ENTRADA DIGITAL								Eo (V)
	MSB				LSB				
Fundo de Escala Positivo	1	1	1	1	1	1	1	1	+ 9,920
Fundo de Escala – LSB	1	1	1	1	1	1	1	0	+ 9,840
zero +	1	0	0	0	0	0	0	0	+ 0,040
zero –	0	1	1	1	1	1	1	1	– 0,040
Fundo de Escala + LSB	0	0	0	0	0	0	0	1	– 9,840
Fundo de Escala Negativo	0	0	0	0	0	0	0	0	– 9,920

O CONVERSOR DAC 0808

Há muitos conversores D/A encontrados no comércio. Os mais baratos têm resoluções de 8 a 12 bits. Os mais caros têm resoluções de 16 a 18 bits. Quase todos são monotônicos, ou pelo menos existe uma faixa especificada pelo fabricante para que esta característica seja mantida e com erro inferior a $\pm \frac{1}{2}$ LSB em cada nível de saída.

O conversor DAC0808 tem um tempo de acomodação de 150ns e uma precisão relativa de $\pm \frac{1}{2}$ LSB, é portanto, um conversor inferior ao DAC0800. Este conversor de 8 bits barato e amplamente usado contém uma fonte de corrente de referência, uma escada R–2R, e

oito chaves a transistor para comandar as correntes binárias. Uma tensão e um resistor externos são usados para ajustar a corrente de referência em um valor típico de 2mA. O DAC0808 é compatível com os níveis lógicos TTL, DTL e CMOS e é diretamente substituível pelo MC1508/MC1408 da Motorola.

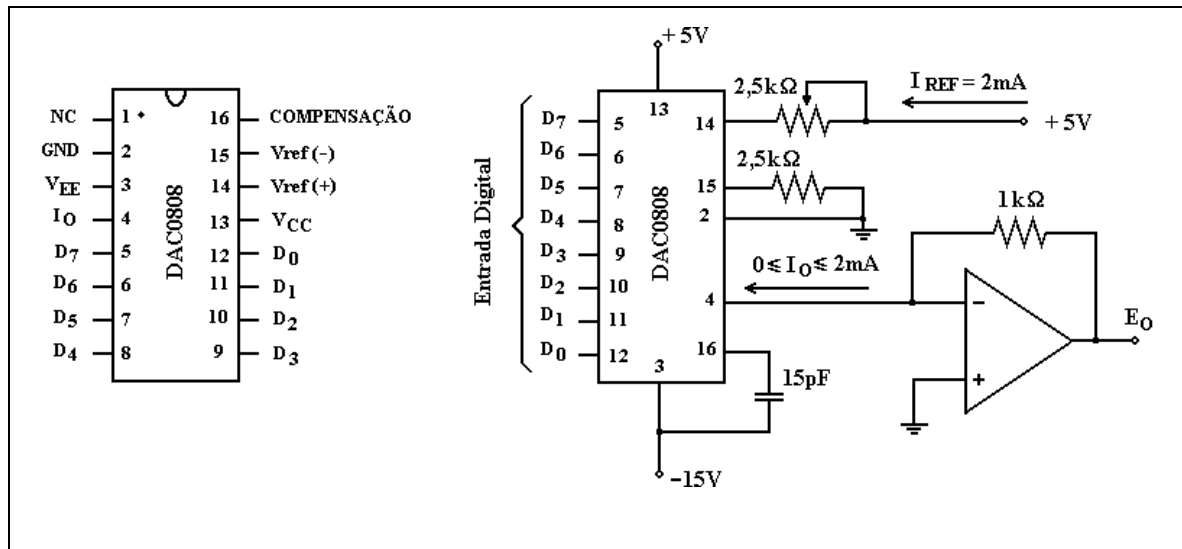


Figura 18 - (a) Pinagem do DAC0808
(b) Circuito Prático Típico

As considerações para projeto são basicamente as mesmas para o conversor DAC0800, qualquer informação adicional consulte as folhas de dados deste Circuito Integrado.

2.6.3 – O CONVERSOR MC 6890

O conversor MC6890 é de 8 bits e precisão de $\pm 0,19\%$, possui barramentos compatíveis com os microprocessadores da série 6800, podendo ser diretamente “interfaceado” com estes micros. Possui um tempo de acomodação em torno de 200ns e permite uma grande variação de tensão na saída: +5, +10, +20, ou $\pm 2,5$, ± 5 e ± 10 (V). Pode ser alimentado com tensões de +5V e -5V até -15V.

A figura 19 ilustra a pinagem e um circuito prático para a operação bipolar de $\pm 2,5$ V.

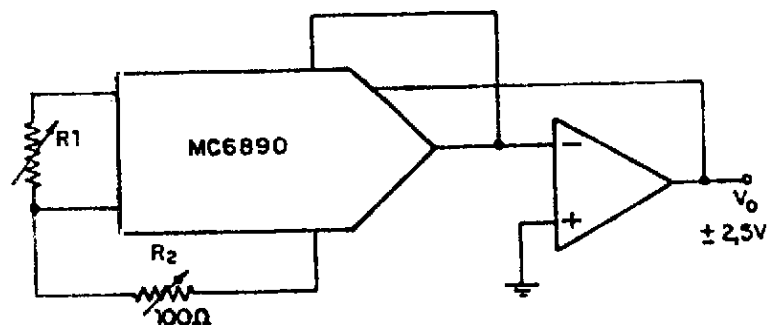


Figura 19 - (a) Pinagem do MC6890
(b) Operação Bipolar Típica $V_0 = \pm 2,5V$

TERMINOLOGIA E CARACTERÍSTICAS DO MC6890

Não linearidade (Precisão Relativa)

A precisão relativa para o conversor D/A MC6890 é dada pelo fabricante como sendo $\pm 0.19\%$ ou $\pm 1/2$ LSB.

Não Linearidade Diferencial

O máximo desvio na saída para qualquer código digital adjacente do degrau ideal LSB, que pode ser expresso em fração do LSB ou porcentagem do fundo de escala, é para o MC6890 dado como $\pm 0,29\%$ ou $\pm 1/4$ LSB. Uma não linearidade diferencial maior que 1 LSB leva a uma operação não monotônica.

Monotonicidade

Para todo aumento na palavra digital, a corrente de saída ou permanece a mesma ou aumenta. O MC6890 é garantido ser monotônico para a faixa de temperatura especificada.

Tempo de Acomodação

Tempo decorrido desde o edge positivo da linha Enable até a saída ter se acomodado dentro de uma margem de erro do valor final..

A pior condição ocorre quando todos os bits são ligados, ou seja. todos iguais a 1. Este tempo é tipicamente 200ns para a corrente de saída se estabelecer dentro da faixa $\pm \frac{1}{2}\text{LSB}$.

Erro de Ganho

É a diferença entre o valor real e o ideal do fundo de escala. Baseado na configuração em que a saída varia de 0 a 10V, do fundo de escala ideal é $\frac{255}{256} \times 10\text{V} = 9,961\text{V}$.

O erro de ganho é menor que $\pm 1,0\%$ com $R_1 = 100\Omega$ (ver fig. 19b) e pode ser ajustado para um erro utilizando um potenciômetro de 200Ω .

Zero Bipolar

Usando a configuração mostrada na fig. 19b, com $R_1 = 100\Omega$, $R_2 = 50\Omega$, com o MSB ligado e todos os outros bits desligados, a tensão de saída lida e comparada ao terra analógico é expresso como uma porcentagem do fundo de escala. A tensão offset da saída do amplificador operacional deve ser anulada. O erro bipolar pode ser zerado ajustando o resistor $R_1 = 100\Omega$.

Rejeição à fonte de Alimentação

É a variação no fundo de escala de corrente causado por uma variação ocorrida em V_{EE} ou V_{CC} , expressada em LSB.

A linha RESET\ (pino 9)

O MC 6890 tem um pino RESET\ que força os registradores, e portanto a corrente, para zero quando ativada. Esta entrada é ativa no estado baixo e não deve ocorrer simultaneamente com o sinal ativo ENABLE\ para uma boa operação. A potência de dissipação aumenta ligeiramente durante o período ativo da linha RESET\. A linha RESET\ não deve ser mais negativa que o terra.

A linha ENABLE\ (pino 12)

Esta linha permite a ligação direta das linhas D₀ até D₇ (pinos 1 a 8) com o barramento de dados da microprocessador.

Quando a linha está alta, as linhas D₀ até D₇ se comportam como cargas de alta impedância, não interferindo na operação do micro, ou seja, se mantêm no terceiro estado (tri-state).

A linha REFout (pino 19)

É a saída da fonte de referência interna, apresentando uma tensão estável de 2,5V. Normalmente é ligada à linha REF_{in} (pino 18) através de R₁=200Ω e à linha 13 (Bipolar Offset) para operação binário offset.

A linha 10V SPAN (pino 15) e 20V SPAN (pino 16)

Estas linhas definem a faixa de variação da tensão de saída. Para faixa de operação 0~10V devemos realimentar a saída do operacional para o pino 15. Para a faixa de variação 0~20V devemos realimentar a saída do operacional para o pino 16. E para a faixa de 0~+5V, realimentamos a saída do Amp-Op para o pino 15 e conectamos o pino 14 e 16 em comum. Estas configurações e as operações bipolares podem ser vistas no manual do CI.

CONVERSORES ANALÓGICOS-DIGITAIS (ADC)

1 - INTRODUÇÃO

Os conversores analógicos-digitais são circuitos ou componentes que excitado por uma tensão ou corrente produzem um código digital equivalente. O ADC produzirá uma saída codificada a qual mudará de 1 LSB representando algum incremento ou decremento na tensão ou corrente de entrada.

Os ADC's são usados para compatibilizar a interface entre instrumentos digitais ou computadores com o mundo analógico. Em qualquer sistema de instrumentação típico, algum tipo de sinal deve ser aplicado ao computador. Este sinal, geralmente proveniente de um amplificador, representará o valor de algum fenômeno analógico que foi convertido para sinais elétricos através de transdutores.

Existem vários tipos de conversores A/D. as características de cada tipo definem as aplicações típicas, portanto devemos ter o conhecimento das técnicas empregadas para uma melhor caracterização dos conversores A/D integrados.

Existe duas filosofias básicas de conversão que podem ser classificadas como medida de tempo e comparação.

A conversão tensão/frequência e integração são técnicas de conversão que utilizam o princípio de medida de tempo. Aproximação sucessiva e a conversão paralelo ilustram o princípio de conversão por comparação.

Os conversores A/D são importantes em aplicações industriais, comerciais e militares. O uso de circuitos integrados tem reduzido o tamanho, aumentado a confiabilidade, e criado novas aplicações.

O desenvolvimento da tecnologia tem produzido conversores A/D de baixo custo permitindo a utilização destes CI's em áreas de controle de processo, sinalização, telemetria e indústria automotivas.

2 – O CONVERSOR A/D BÁSICO

A Figura 1 mostra o mais simples e o menos usado dos métodos de conversão A/D.

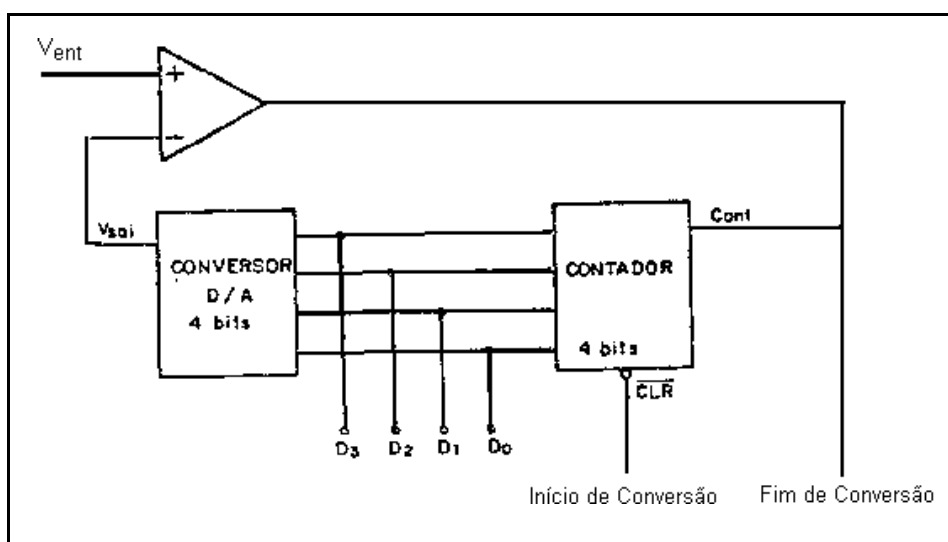


Figura 1 – Conversor A/D Básico.

V_{ent} é a tensão de entrada analógica. D_3 a D_0 constituem a saída digital. A saída digital comanda um conversor D/A, que produz uma saída analógica V_{sai} . Quando a linha CONT estiver alta, ou seja, o amplificador operacional (comparador) estiver saturado positivamente o contador contará para cima. Quando a linha CONT estiver baixa (Amplificador operacional saturado negativamente) o contador interromperá a contagem. Por conveniência um conversor D/A de 4 bits e um contador de 4 bits são usados, mas a idéia aplica-se a qualquer número de bits.

2.1 – OPERAÇÃO DO CONVERSOR BÁSICO

A conversão A/D ocorre como segue. Primeiro, a linha INICIO apresenta-se em nível lógico baixo, causando o *reset* no contador. Quando o pulso INICIO retornar a nível alto, o contador estará pronto para funcionar. Inicialmente, V_{sai} é zero, portanto, o Amplificador Operacional tem uma saída alta e CONT é alta. O contador começa contando para cima a partir de zero. Uma vez que a saída do contador alimenta um conversor D/A, a saída do

conversor e uma onda em escada de tensão positiva. Enquanto V_{ent} for maior do que V_{sai} , o Operacional terá uma saída saturada positivamente, portanto, CONT permanece alta e a tensão em escada se mantém crescendo.

Em algum ponto ao longo da escada, o próximo degrau torna V_{sai} maior que V_{ent} . Isto obriga o Operacional a saturar negativamente inibindo a contagem do contador. Agora, a saída digital D_3 a D_0 é o equivalente digital da entrada analógica. A transição negativa do sinal CONT é usada como um sinal de fim de conversão. Isto diz aos outros circuitos que a conversão A/D está terminada.

Se a entrada analógica V_{ent} for modificada, os circuitos externos deverão transmitir um outro pulso INICIO para iniciar a conversão. Isto restabelece a contagem e começa um novo ciclo.

DESVANTAGEM

A principal desvantagem do método do contador é sua baixa velocidade. No pior caso (entrada máxima) o contador tem que alcançar a contagem máxima antes que a tensão em escada seja maior do que a entrada analógica.

Para um conversor de 8 bits, isto significa um tempo de conversão de 255 períodos de clock. Para um conversor de 12 bits, o tempo de conversão é de 4.095 períodos de clock.

2.2 – CONVERSOR CONTADOR PRÁTICO

A fig. 2 ilustra o Circuito de um conversor implementado com circuitos digitais básicos. O conversor DIA de 3 bits pode ser do tipo rede R-2R ou do tipo resistores de peso binário.

Vamos supor inicialmente que a linha de controle H está no estado lógico 1. Este estado impede a passagem do clock, inibindo o contador. Admitiremos ainda que a linha *reset* foi usada para fazer a zeragem do contador. Neste caso a saída também será 000. Consideraremos ainda que a linha H seja também usada para controlar a operação do circuito *S/H*, de modo que o sinal de entrada $V_a(t)$ seja amostrado quando $H=1$ e mantido quando $H=0$.

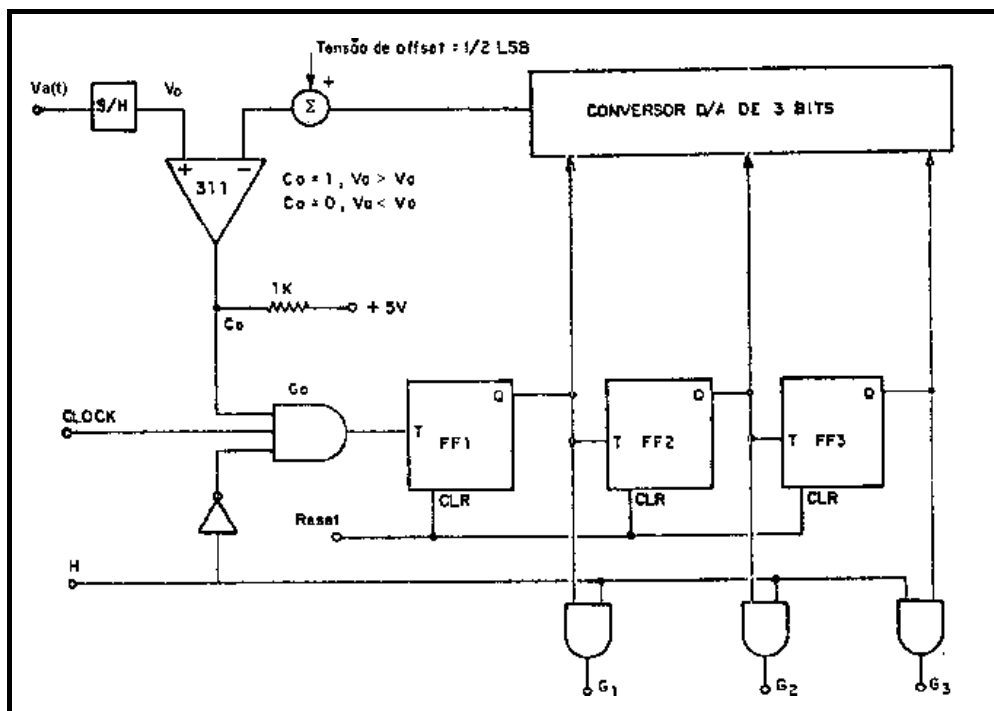


Figura 2 – Conversor A/D prático de 3 bits

Seja $V_0 = 1/2$ LSB inicialmente, e a saída lógica do comparador igual ao 1 lógico. Mudemos H, para H=0. A porta G_0 é habilitada, permitindo a passagem do clock para o contador. A cada pulso do clock, o contador avança um na contagem e a saída V_0 do conversor D/A salta de um degrau. Em algum instante teremos $V_0 > V_a$. Neste instante, a saída C_0 ficará com nível lógico 0, inibindo o contador. A contagem presente nas saídas dos FFs é a saída digital e será proporcional (exceto por um erro de quantização) à tensão analógica $V_a(t)$. Como temos, para a contagem, um tempo suficientemente longo para assegurarmos que $V_0 > V_a(t)$, poderemos então levar H para H=1, permitindo a leitura da saída digital bem como possibilitar ao circuito S/H amostrar novamente o sinal de entrada. Antes de retornarmos H para H=0, fazemos o *reset* por um breve instante para zerar o contador. A transição negativa de H, permite ao conversor iniciar um novo ciclo de conversão.

No conversor A/D contador, bem como no conversor de aproximações sucessivas, é necessário desajustarmos a saídas V_0 do conversor D/A, colocando um sinal de *offset*. No caso presente, este *offset* deverá ser feito no sentido de aumentar, ao invés de diminuir, o V_0 de uma tensão correspondente a $1/2$ LSB. Façamos uma rápida análise no circuito anterior. Con-

siderando a tensão de *offset* igual zero e a tensão do LSB igual a 1V, nos é permitido identificar a necessidade de um desajuste. Para uma tensão de LSB igual a 1V, o erro máximo de quantização deveria ser de $\pm 0,5V$. Suponha agora que V_a é infinitesimalmente maior que 0V. No início da conversão deveremos ter $C_0=1$ e o contador avançará de um, parando em seguida. Isto nos dará uma saída digital 001 e portanto, 1V na saída do D/A. O erro de quantização correspondente será de 1V. Por outro lado, com um *offset* de 0,5V, o contador não avançará de um até que $V_a > 0,5V$.

As formas de onda no conversor são mostradas na fig.3. Suponhamos, como anteriormente, um conversor D/A que nos dá saídas (excluindo-se o *offset*) de 0 a 7V para entradas digitais 000 a 111, respectivamente.

Devido ao formato de V_o , o conversor é também chamado de conversor rampa digital. Dois intervalos de conversão são mostrados. No primeiro, a tensão analógica se situa entre 5,5 e 6,5V, e a saída digital é 110 = 6V. No segundo, V_a se situa entre 2,5 e 3,5V, e a saída é então 011. A maior entrada analógica que pode ser apresentada com um erro máximo de quantização de 0,5V é novamente 7,5 V.

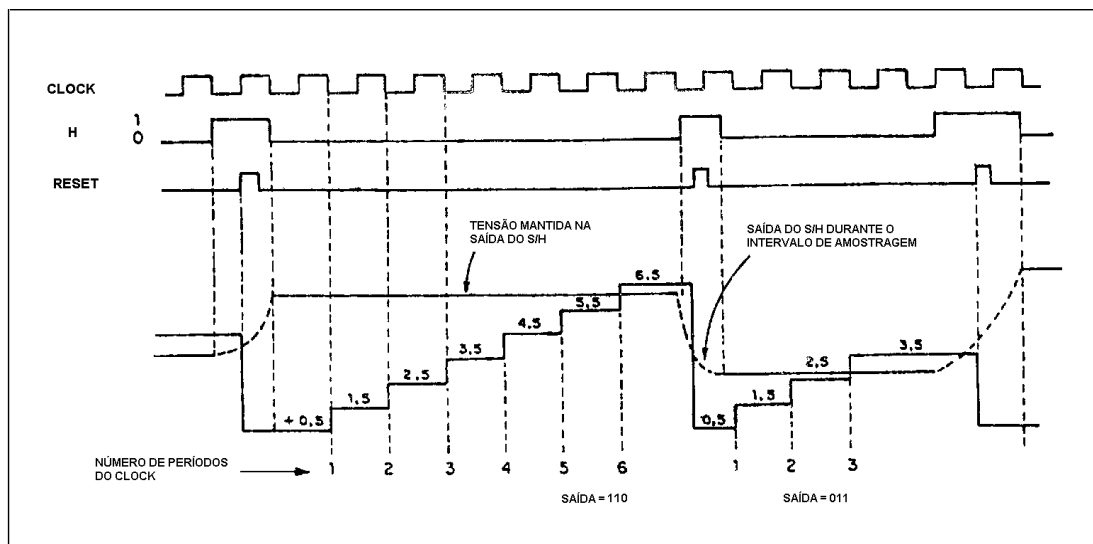


Figura 3 – Formas de onda do conversor A/D da figura 2

Para uma dada taxa de amostragem e um dado número de bits de saída, o conversor contador geralmente precisa de uma clock muito mais rápido do que o conversor de

aproximações sucessivas. No conversor contador com N bits de saída, são necessários 2^N períodos de clock para uma operação de conversão (pior caso). No conversor de aproximações sucessivas (será visto posteriormente), o número necessário é N (ou $N+2$ se incluirmos os intervalos de relógio para fazer o *reset* e a leitura).

De qualquer forma, a frequência do clock aumenta exponencialmente com N no conversor contador e de forma linear no conversor por aproximações sucessivas. O conversor A/D do tipo contador é geralmente restrito à frequências de amostragem que são menores que 100kHz, enquanto, com conversores por aproximações sucessivas, taxas de amostragem da ordem de 1MHz são normais.

O conversor contador pode ser melhorado, às custas de um aumento de complexidade, pela substituição do contador crescente por um contador crescente-decrescente. Tal conversor é referido como um conversor de rampa digital contínuo, ou conversor de acompanhamento, ou servo conversor. O contador é comandado para contar para cima (crescente) ou para baixo (decrescente), dependendo da saída do comparador estar no 1 ou 0 lógico, e de V_0 ser maior ou menor do que V_a . Se inicialmente $V_a > V_0$, o contador conta para cima até que $V_0 > V_a$. Neste ponto o contador reverte. Se depois de uma contagem para baixo encontramos que $V_0 < V_a$, o contador reverte novamente e assim por diante. A tensão V_0 variará ao redor de V_a . A figura 4 ilustra a variação de V_0 em torno de V_a . A saída pode ser lida no final do tempo de retenção. Comparado a um conversor contador comum, na versão contador temos um tempo de conversão que é em média, igual à metade do tempo necessário para uma conversão completa. Assim, um servo contador pode operar com o dobro da velocidade.

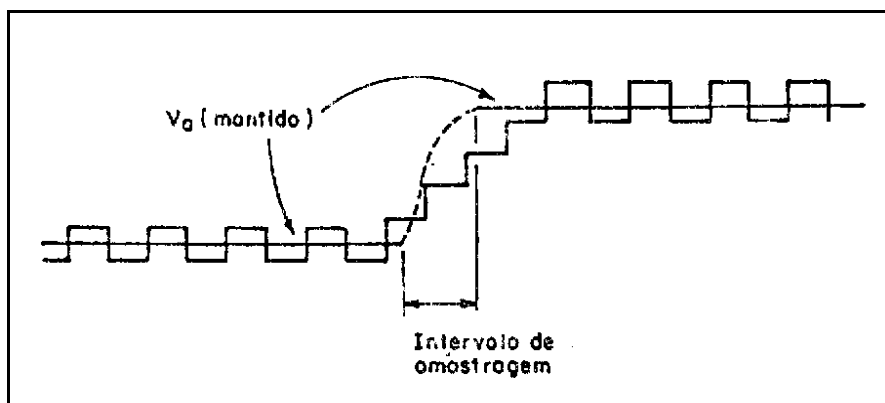


Figura 4 – Saída de um conversor contínuo

3 – CONVERSORES A/D DE DUPLA INCLINAÇÃO

O conversor de dupla inclinação contém um integrador, um controle lógico, clock, comparador, e um contador como mostrado na figura 5.

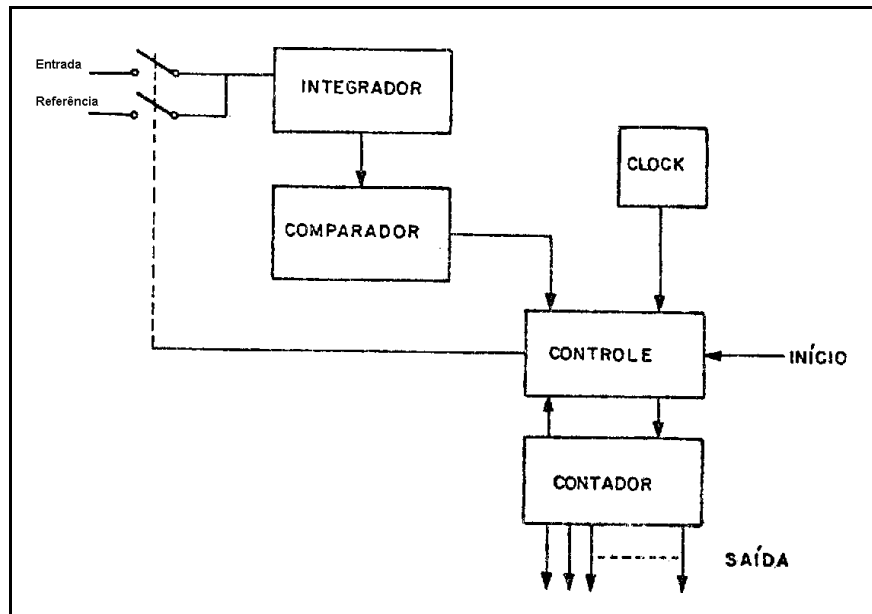


Figura 5 (A) – Diagrama em blocos de um conversor A/D de dupla inclinação.

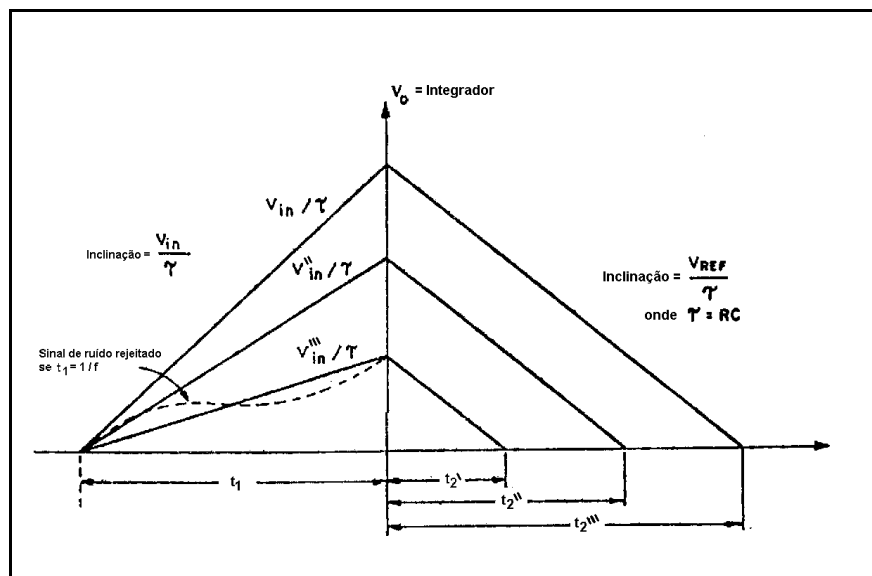


Figura 5 (B) – Operação do conversor A/D de dupla inclinação.

Este tipo de conversor conta uma sucessão de pulsos de clock cujo número depende da amplitude do sinal integrado que está armazenada no capacitor. O tempo de conversão típico é duas vezes o período de clock vezes o número de níveis de quantização. Desta maneira, para um conversor de 12 bits operando com um clock de 1MHz, o tempo de conversão será:

$$t_c = 2 \times T \times$$

$$t_c = 2 \times 1\mu s \times 4096$$

$$t_c = 8,192 \text{ ms}$$

Este tempo é muito maior que o tempo necessário para um conversor por aproximação sucessiva realizar a conversão utilizando o mesmo clock. Por outro lado, o conversor acima, custa muito menos que o conversor por aproximação sucessiva para uma dada precisão, porque este requer poucos componentes de precisão.

Na fig. 5 podemos observar que, inicialmente, a entrada analógica é aplicada ao integrador e integrada por um tempo fixo t_1 . Se este tempo for igual ao período de um sinal de potência, tal como 60Hz, ou qualquer frequência espúria, o valor final do integrador não é afetado - veja linha pontilhada durante t_1 para V_{in} . O tempo t_2 é proporcional à carga acumulada no capacitor. O contador digital determina o tempo t_2 através da contagem até que a saída do integrador mude de sinal em reação ao estado anterior.

Quando o contador atinge sua contagem máxima a entrada analógica é removida da entrada do integrador e é aplicado um sinal de referência (V_{ref} é oposto ao sinal de entrada) de maneira que o capacitor se carrega em sentido contrário. A partir desse instante tem-se o início do tempo t_2 e, como a tensão de referência será mantida sempre constante, a inclinação durante t_2 será também constante. O tempo necessário para o integrador retornar a zero é então função do sinal de entrada V_{in} . O contador digital, que foi *resetado* no final de t_1 , começa a contar novamente durante t_2 . Quando a saída do integrador atinge zero, o contador é inibido e o estado do contador é a palavra digital equivalente à entrada analógica.

Neste tipo de conversor, a precisão da frequência do clock, assumindo que esta se mantém contínua durante a conversão, ou uma constante de tempo exata do integrador não são importantes.

Da fig. 5 (B) tiramos:

$$V_o = \frac{V_{in} t_1}{\hat{o}} = \frac{V_{ref} t_2}{\hat{o}}$$
$$\frac{V_{in}}{V_{ref}} = \frac{t_2}{t_1}$$

Devido ao tempo de integração este tipo de conversor não é utilizado para situações onde se exige alta velocidade ou para sinais que variam rapidamente (caso se deseje utilizar para estes sinais devemos amostrar e manter este sinal durante a conversão). Este conversor é muito utilizado para medir sinais que estão superpostos por sinais indesejáveis tal como 60Hz, simplesmente estabelecendo o tempo de integração igual a um ou mais períodos do sinal de interferência.

Este é o princípio de conversão utilizado nos conversores para voltímetros digitais (DVMs), painéis digitais (DPMs) e multímetros digitais (DMMs) que geralmente possui as saídas adequadas para alimentar displays.

3.1 – CIRCUITO PRÁTICO DE UM CONVERSOR A/D DE DUPLA INCLINAÇÃO

O circuito, implementado com componentes simples, pode ser visto na figura 6. A complexidade pode ser aumentada quando se deseja uma melhor atuação do conversor. Neste exemplo dispensamos os ajustes de *offset* para o amplificador operacional por simplicidade.

No início do processo de conversão, digamos em t_0 , a chave S_1 (que pode ser uma chave analógica 4016 ou 4066) está fechada ao ponto A e a tensão de entrada V_a é aplicada

ao integrador. Se $\tau = RC$ é a constante de tempo do integrador, a saída do integrador é $V_o = -(V_a/\tau) \cdot t$. A forma de onda de V_o é mostrada na figura 6(B). No mesmo instante ($t = 0$) o sinal de clock é aplicado a um contador que estava zerado inicialmente. O contador conta até que os flip-flops FF_0 a $FF_{(n-1)}$ *resetem* simultaneamente, isto acontece quando ocorrer 2^n pulsos de clock. Neste instante temos $Q_0 = Q_1 = Q_{n-1} = 0$ e $Q_n = 1$. Como o flip-flop n controla a

chave S_1 , neste instante a chave inverte de posição, ou seja, desliga V_a e aplica $-V_{ref}$ no integrador. O capacitor agora começa a se carregar em sentido contrário, ou seja, sua tensão começa a crescer positivamente (veja fig. 6B). Como neste instante o contador esta zerado, começa agora o início do tempo t_2 que finalizará quando a tensão de saída V_o se tornar levemente positiva. Neste instante, a saída do comparador vai para 0 impedindo a passagem do clock pela porta G1, parando o contador.

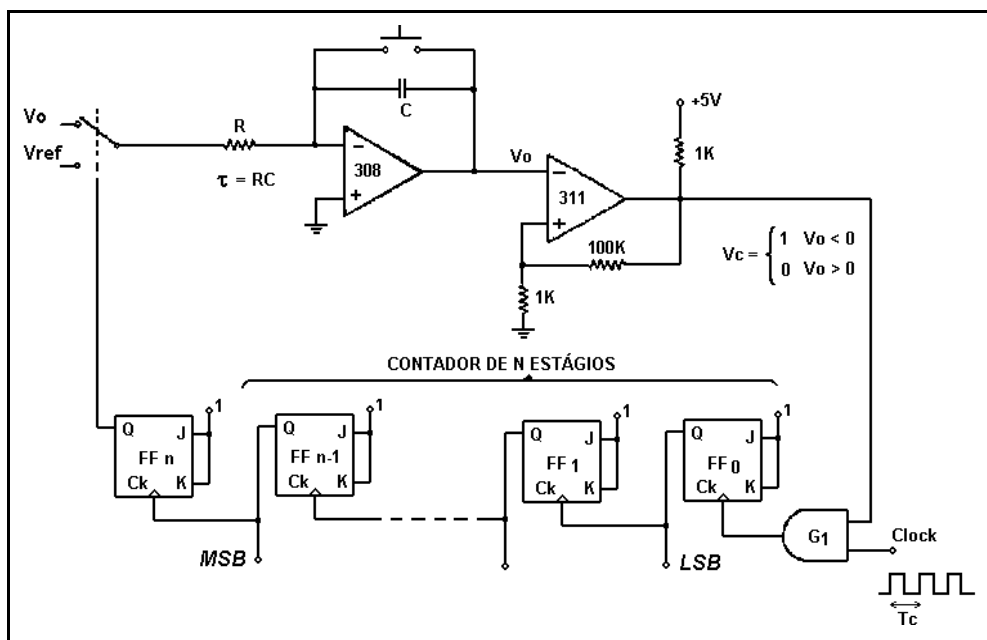


Figura 6 (A) – Circuito A/D de dupla inclinação

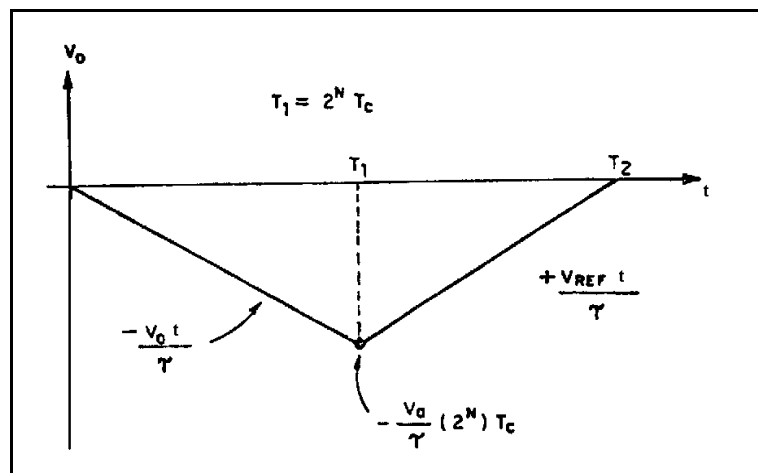


Figura 6 (B) – Forma de onda de um conversor A/D de dupla inclinação

Mostraremos agora que a contagem gravada no contador dos flip-flops FF(n-1), ..., FF₁, FF₀, é diretamente proporcional a V_a e é independente da constante de tempo, τ . O tempo, T₁, necessário para os **n** flip-flops irem de 000...00 a 100...00 é 2ⁿT_c, onde T_c é o período do clock. Neste instante, a tensão de entrada V_o é:

$$V_o = \frac{V_a T_1}{\hat{O}} = - \frac{V_a 2^n t_c}{\hat{O}}$$

Referindo-nos à fig. 6(B) vemos que no instante T₂, V_o é novamente igual a 0V e que, portanto,

$$\frac{V_{ref} (T_2 - T_1)}{\hat{O}} = V_a T_1$$

Assim, o intervalo de tempo T₂ - T₁ é

$$T_2 - T_1 = \frac{V_a}{V_{ref}} 2^n T_c$$

Se, no instante T₂, a contagem gravada nos N primeiros flip-flops for λ , já que a contagem era 0 no instante T₁, teremos

$$T_2 - T_1 = \ddot{e} T_c = \frac{V_a}{V_{ref}} 2^n T_c$$

de modo que a contagem é

$$\ddot{e} = \frac{V_a}{V_{ref}} 2^n$$

Desde que V_a = V_{ref}, o sistema opera como um conversor A/D. Já que $\lambda < 2^n$, a contagem é diretamente proporcional a V_a e é um número que pode ser lido no contador.

O conversor pode ser de leitura direta se $V_{ref} = 2^n V$. Desta forma $\lambda = V_a$ e a contagem gravada no contador é numericamente igual à tensão aplicada V_a .

Para início de uma nova conversão devemos *resetar* todos os flip-flops e o capacitor através da chave S2.

EXEMPLO 1:

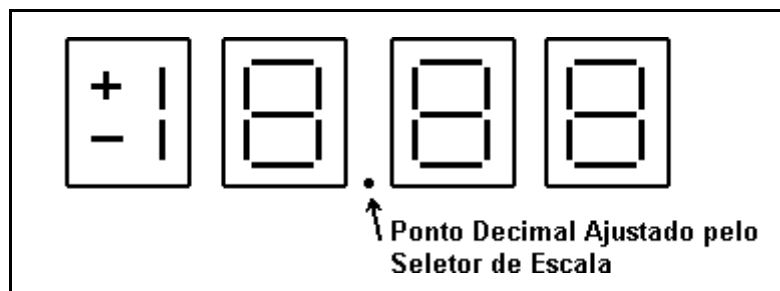
Em um conversor A/D de dupla inclinação são utilizados 3 contadores de décadas e um display de *carry*, de tal maneira que a máxima medida é 1999. Supondo um clock de 1 MHz e uma tensão de referência igual a 10V, determine a saída dos displays para os seguintes casos:

- a) $V_{in} = 10 V$
- b) $V_{in} = 5,55 V$
- c) $V_{in} = 24,1 V$

SOLUÇÃO:

Um conversor com as características acima é chamado de conversor de 3 1/2 dígitos.

Como a tensão de referência é 10V, a máxima tensão analógica de entrada tem que ser 10 V, assim o conversor deve posicionar o ponto entre os displays como mostrado no esquema abaixo.



Na condição inicial, ou seja, contador *resetado*, podemos definir o início do tempo t_1 . Liberando a contagem, o contador necessitará de 1000 pulsos de clock para atingir novamente o estado zerado. Com isto podemos determinar o tempo t_1 como sendo:

$$t_1 = 1000 \times T_c$$

onde: T_c = período do clock

$$t_1 = 1000 \times 10^{-6}$$

$$t_1 = 1\text{ms}$$

Se, a tensão de referência for igual a 10V, podemos escrever a equação de t_2 como sendo:

$$t_2 = \frac{t_1}{V_{\text{ref}}} \times V_{\text{in}}$$

$$t_2 = \frac{1}{10} \times V_{\text{in}} \quad \text{ms}$$

Solucionando o item a) do problema temos:

a) Para $V_{\text{in}} = 10\text{ V}$

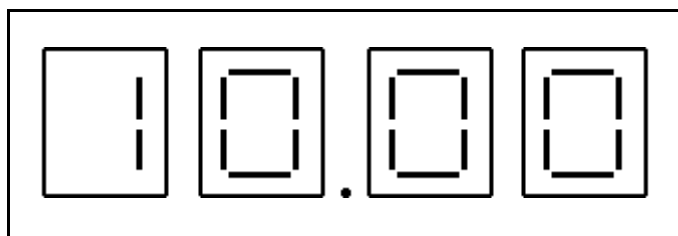
$$t_2 = \frac{1}{10} \times 10 = 1\text{ms}$$

Logo devemos ter $t_2 = \lambda T_c$

$$1\text{ms} = \lambda \times 10^{-3}\text{ms}$$

$$\lambda = 1000$$

Portanto teremos no display o seguinte resultado



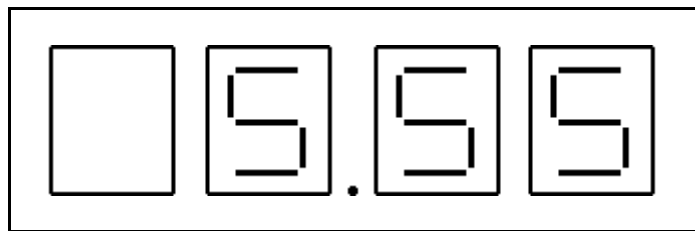
significando uma tensão de 10,00 V.

b) Para $V_{in} = 5,55 \text{ V}$

$$t_2 = \frac{1}{10} \times 5,55 = 0,555 \text{ ms}$$

$$t_2 = \lambda T_c \rightarrow 0,555 \text{ ms} = \lambda \times 10^{-3} \text{ ms} \rightarrow \lambda = 555$$

A leitura representada por λ é 555, portanto o display deverá mostrar:



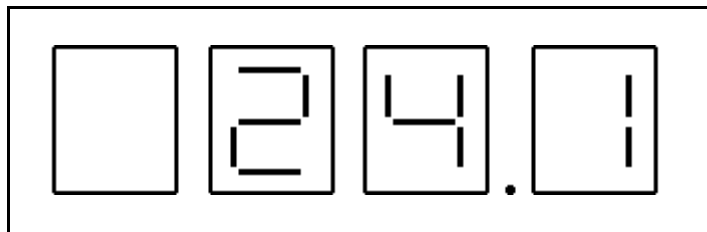
significando uma tensão de 5,55 V

c) Para $V_{in} = 24,1 \text{ V}$. Neste caso devemos projetar um divisor de tensão para dividir a tensão de entrada por 10 e com isto deslocar o ponto decimal para a direita.

$$t_2 = \frac{1}{10} \times 2,41 = 0,241 \text{ ms}$$

$$t_2 = \lambda T_c \rightarrow 0,241 \text{ ms} = \lambda \times 10^{-3} \text{ ms} \rightarrow \lambda = 241$$

A leitura será de 24,1V como mostrado abaixo.



Este é o princípio de funcionamento do seletor de escala de multímetros. Com este artifício temos um fundo de escala máximo de 100 V.

Em seções posteriores apresentaremos um circuito integrado que trabalha com este princípio de conversão, que é muito utilizado e facilmente encontrado no mercado.

4 - CONVERSOR A/D POR APROXIMAÇÕES SUCESSIVAS

O conversor A/D por aproximações sucessivas é a técnica mais comumente usada, possuindo a vantagem de poder ser implementada por software. A operação deste conversor é baseada em n comparações sucessivas entre a entrada analógica, V_{in} , e a tensão de realimentação, V_f . Este processo é similar ao processo de pesagem em uma balança de dois pratos, na qual o peso desconhecido é comparado com um peso padrão. A primeira comparação determina se V_{in} é maior ou menor que $1/2 V_{máx}$, onde $V_{máx}$ é a máxima tensão possível na entrada do conversor A/D. O próximo passo é determinar se V_{in} é maior ou menor do que $1/2$ do intervalo em que V_{in} se encontra; cada passo executado estreita a faixa do resultado por um fator de 2. A operação de um ADC de 3 bits por aproximações sucessivas é ilustrado no diagrama de transição na figura 7.

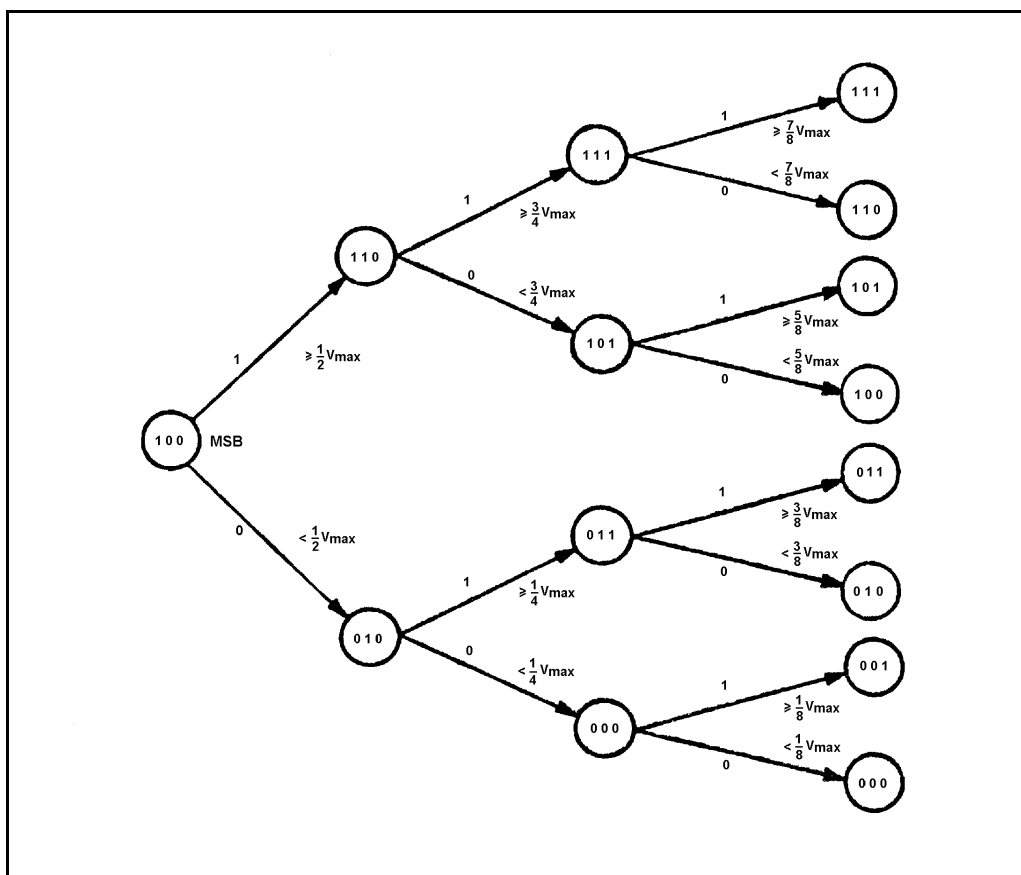


Figura 7 – Diagrama de transição de um conversor A/D por Aproximações Sucessivas de 3 bits

São necessários n períodos de clock para completar um ciclo de conversão.

Os componentes principais de um ADC por aproximações sucessivas são mostrados na Fig. 8. É um circuito similar ao circuito do contador rampa ADC no qual a palavra digital é convertida para uma tensão analógica V_f e é comparada com a tensão desconhecida V_{in} . A adição de um registrador de deslocamento e um circuito programador lógico fazem a principal diferença entre este e o contador rampa, enquanto o contador rampa ADC incrementa monotonicamente até que a saída do comparador mude, o ADC por aproximação sucessiva incrementa ou decrementa como um resultado da decisão efetuada pelo comparador e executada pelo programador lógico após cada comparação.

Um ciclo de conversão é iniciado pelo pulso de STAR que *seta* o MSB dos 2 registradores em 1, *resetando* todos os outros flip-flops. A saída do registrador no estado 100...0 é convertida pelo DAC para um sinal analógico, V_f , que é proporcional a $2^{n-1}/2^n$ do fundo de escala. Para $V_f \geq V_{in}$ o MSB do registrador armazenador é mantido no estado “1”, e o registrador de deslocamento desloca o “1” para o próximo bit (n-2), carregando com “1” o bit (n-2) do registro de armazenamento. Se, entretanto $V_f < V_{in}$, o MSB no registro de armazenamento é *resetado*. Neste caso, o bit (n-2) representando 1/4 do fundo de escala é examinado. O processo de conversão é completado depois de examinar o bit LSB. O tempo de conversão é então constante e independente do valor do sinal analógico, sendo dado por:

$$t_c = n/f \quad \text{onde: } n = n^9 \text{ de bits}$$
$$f = \text{frequência do clock}$$

Em comparação com o conversor contínuo, o método por aproximações sucessivas é muito rápido porém apresenta linearidade diferencial muito pobre.

A taxa de conversão é limitada pelo fato de que cada bit deve ser sucessivamente testado antes da conversão se completar. Adicionalmente, desde que é um processo programado, devemos permitir um tempo suficiente para eliminar todos os transientes antes de iniciar o teste do próximo bit. Em cada degrau, devemos esperar o tempo de estabelecimento (acomodação) do conversor D/A dentro de uma determinada precisão. Também deverá ser observado o tempo de resposta do comparador.

Precisões melhores que 0,005% são possíveis com o processo de conversão por aproximações sucessivas. Esta precisão é função do erro de quantização e o erro nos circuitos eletrônicos, isto é, no conversor D/A, comparador e a fonte de referência. Como em qualquer processo eletrônico, a precisão da medida diminui com o aumento da velocidade de conversão.

O diagrama em blocos do conversor por aproximações sucessivas é ilustrado na Fig. 8.

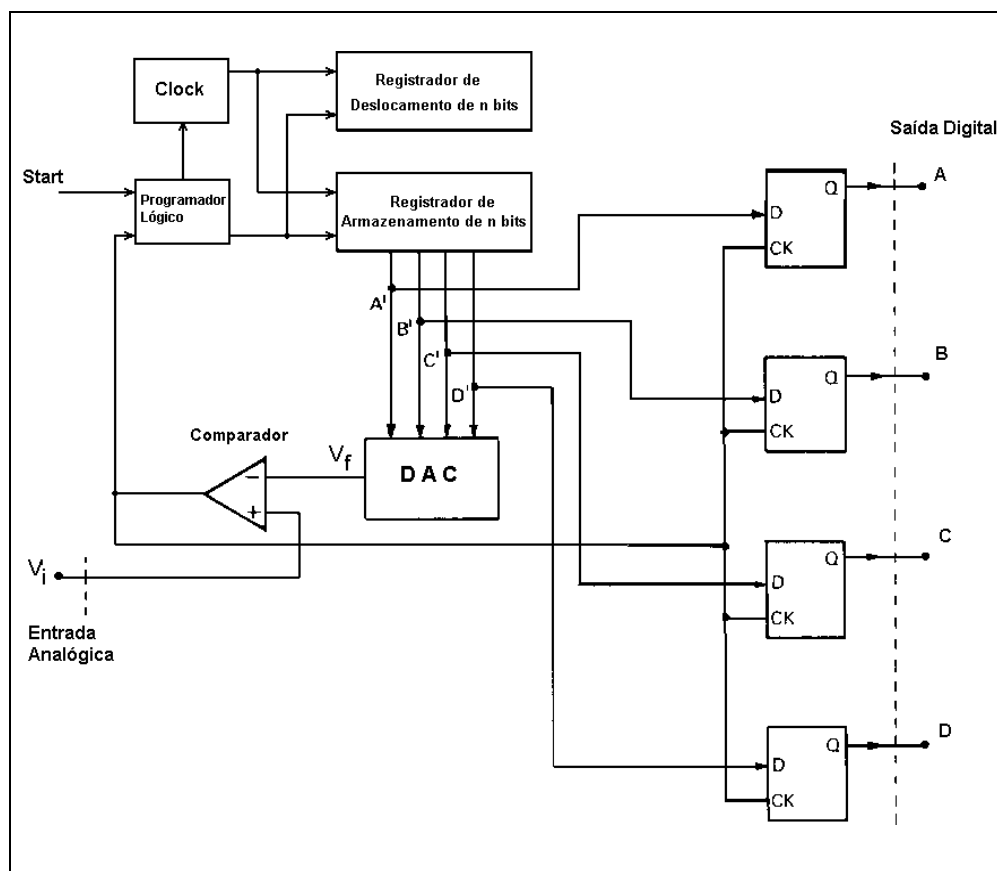


Figura 8 – Diagrama em blocos de um conversor A/D por aproximações sucessivas de 4 bits

5 - ERROS DE QUANTIZAÇÃO

Para se converter um sinal analógico para digital devemos manter uma proporcionalidade entre a palavra digital e o valor analógico. Como o sinal analógico é contínuo no tempo e portanto assume toda e qualquer quantidade no tempo, a conversão obrigatoriamente apresentará um erro inerente ao processo definido como erro de quantização.

A operação de quantização é ilustrada na fig. 9. Um sinal $M(t)$ é indicado na Fig. 9(a). Este sinal é a forma de onda V_i aplicada à entrada do quantizador. A saída do quantizador é chamada de V_o . O quantizador possui uma característica entrada-saída essencial que tem a forma de uma escada como é mostrada na Fig. 9(b). Como consequência, a saída V_o , mostrada na Fig. 9(c) é a forma de onda quantizada $M_q(t)$. Podemos observar que enquanto a entrada $V_i = M(t)$ varia suavemente em sua faixa, o sinal quantizado $V_o = M_q(t)$ se mantém em um ou outro de um número fixo de níveis $M_{-2}, M_{-1}, M_0, M_1, M_2, \dots$. Assim o sinal $M_q(t)$ varia ou não abruptamente de um quantum de salto S' chamado de tamanho do salto (ou do degrau).

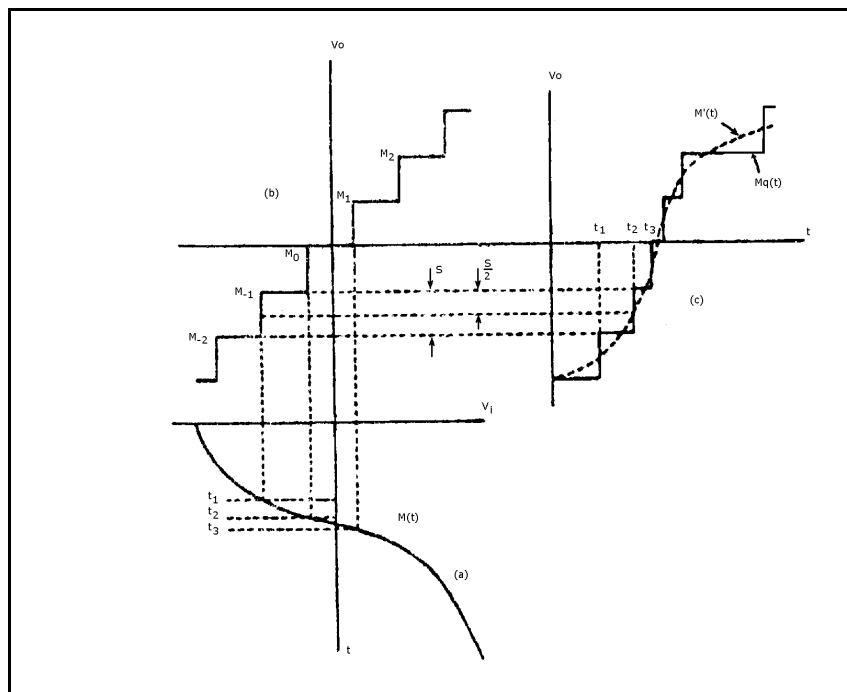


Figura 9 – A operação de quantização

(a) O sinal $M(t)$

(b) A característica entrada-saída do quantizador

(c) A saída do quantizador em resposta a $M(t)$

A forma de onda $M'(t)$ mostrada pontilhada na figura 9(c) representa a saída, supondo-se que ela está linearmente relacionada a entrada. Se a constante de proporcionalidade for unitária, $V_o = V_i$ e $M'(t) = M(t)$. Vemos, então, que o nível mantido pela forma de onda $M_q(t)$ é o nível que mais se aproxima de $M'(t)$. A transição entre um nível e o seguinte ocorre no instante em que $M'(t)$ cruza o ponto médio entre dois níveis adjacentes.

Vemos, portanto, que o sinal quantizado é uma aproximação que pode ser melhorada pela redução dos tamanhos dos saltos e, conseqüentemente, pelo aumento do número de níveis. Eventualmente, com saltos pequenos o suficiente, o olho ou o ouvido humanos não estariam aptos a distinguir o sinal quantizado do original.

Se propusermos a quantização de um sinal com variação R pico a pico e quisermos usar Q níveis de quantização, o tamanho do salto S será determinado pela condição $QS=R$. Localizaríamos os níveis de quantização como indicado na fig. 10(a). Desta maneira o erro de quantização instantâneo máximo seria $S/2$ como ilustrado na Fig. 10(b).

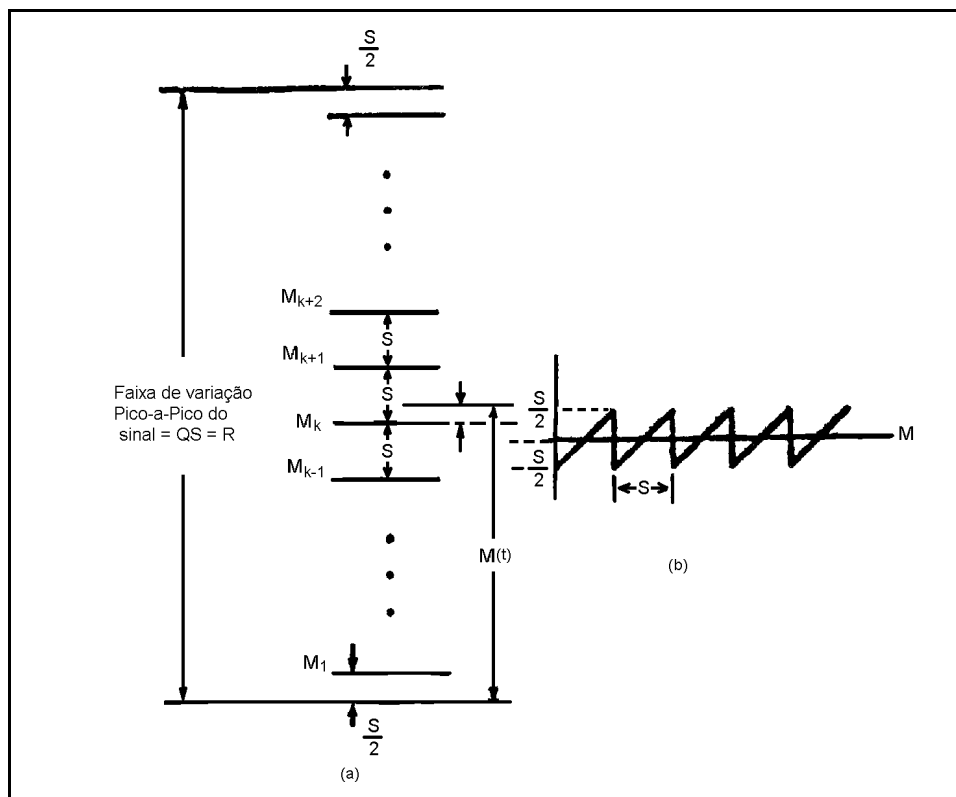


Figura 10 – (a) uma faixa de tensão por onde um sinal $M(t)$ excursiona
(b) Erro de quantização

O processo completo para digitalização de uma forma de onda analógica é ilustrado na figura 11. O sinal $M(t)$ é amostrado regularmente nos instantes indicados pelos pontos na forma de onda. A faixa R pico-a-pico é de 7V, estendendo-se de $-3,5V$ a $+3,5V$. Permitimos 8 níveis de quantização, de tal modo que o erro máximo de quantização possível é de $0,5V$. seguindo prática comum, associamos um conjunto de dígitos binários a cada nível usando a representação de complemento de 2 (como há 8 bits, há necessidade de se ter 3 bits).

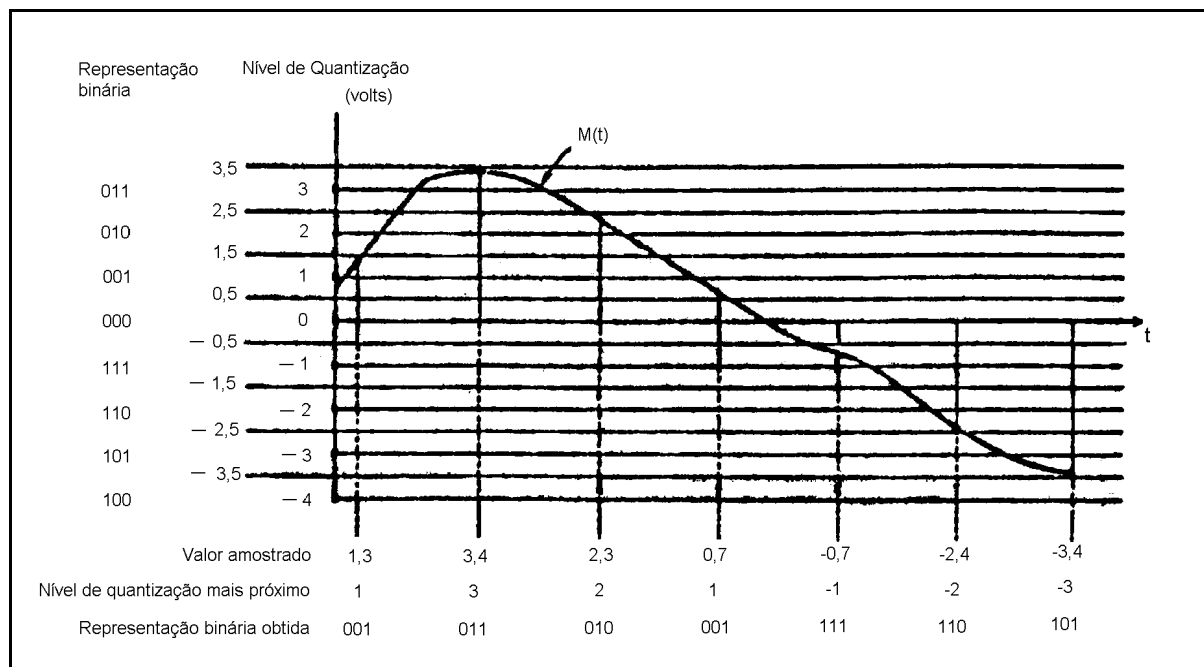


Figura 11 – Quantização de um sinal

6 – ESPECIFICAÇÕES DE UM CONVERSOR A/D

As especificações de um conversor A/D que normalmente são fornecidas pelos fabricantes comerciais podem ser enumeradas como:

6.1 – TENSÃO ANALÓGICA DE ENTRADA

Esta especificação designa a máxima faixa de tensões analógicas de entrada permitidas. Valores típicos são:

0 a 10 V, ± 5 V, ± 10 V, etc.

6.2 – IMPEDÂNCIA DE ENTRADA

Os valores variam de $1k\Omega$ a $1M\Omega$, dependendo do tipo de conversor A/D. A capacitância da entrada se situa na faixa das dezenas de picofarads.

6.3 – PRECISÃO DO CONVERSOR

A precisão de um conversor A/D inclui o erro de quantização, o ruído do sistema digital incluindo o que está presente na tensão de referência (usado no conversor D/A) desvios de linearidade, etc. Em geral o ruído de quantização é especificado como $1/2$ LSB. A precisão também inclui a soma de todas as outras fontes de erro. Valores típicos são da ordem de $\pm 0,02\%$ da leitura de fim de escala. Conversores A/D de altíssima precisão, entretanto, podem ser adquiridos com precisões de $0,001\%$ da leitura de fundo de escala. A precisão de um conversor geralmente determina o número de bits que podem ser utilizados. Como exemplo, considere um conversor com uma escala analógica cobrindo a faixa ± 10 V. Se a precisão for de $0,02\%$ do fundo de escala, o erro máximo devido a tal limitação de precisão é de 2mV. Para 9, 10, 11 e 12 bits, os erros de quantização ($1/2$ LSB) são 10, 5, 2,5 e 1,25mV respectivamente. Há uma vantagem em usarmos 10 bits no lugar de 9. Poderíamos ainda justificar o uso de 11 bits, mas 12 bits provavelmente não.

6.4 – ESTABILIDADE

A precisão do sistema é geralmente dependente da temperatura. Coeficientes típicos de erro de temperatura são da ordem de 20ppm do FS por grau Celsius. Como exemplo, se um sinal de 10 V é aplicado a 75°C, temos como resultado um erro de $(20 \times 10^{-6}) \times (10) \times (75 - 25) = 10\text{mV}$. Com um conversor A/D de 10 bits, o erro limita a resposta à de um dispositivo de 9 bits.

6.5 – TEMPO DE CONVERSÃO

É o tempo necessário para se realizar a conversão completa. Os tempos típicos de conversão variam de 50s, para unidades de velocidade moderada, a 50ns para um dispositivo de alta velocidade.

6.6 – FORMATOS

Um conversor A/D pode ser obtido praticamente para qualquer código usado em geral: binário unipolar, binário com desajuste, complemento de um, complemento de dois. Os níveis de tensão de saída são geralmente ajustados de modo a possibilitar a conexão direta a algumas famílias lógicas (TTL, CMOS, etc).

7 – CONVERSORES A/D INTEGRADOS

As folhas seguintes mostram alguns circuitos integrados que foram projetados especialmente para fazer a conversão de tensões analógicas em números binários.