การออกแบบชิพจีพีเอสขนาด 12 ช่องสัญญาณโดยใช้เอฟพีจีเอ

The Design and Implementation of 12-Channel GPS Chip using FPGA

สุธา อาภานุพงศ์ *, วัชรากร หนูทอง *, เจนวิทย์ ศรีหารักษา *, ชรัณ มีนกาญจน์ *,จันทิรา เจือกโว้น *,
สุวิชา จิรายุเจริญศักดิ์ *, ชำนาญ ปัญญาใส * และ สวัสดิ์ ตันติพันธุ์วดี **
ศูนย์วิจัยและพัฒนาเทคโนโลยีไมโครอิเล็กทรอนิกส์ ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ
73/1 ถ.พระราม 6 เขตราชเทวี กรุงเทพฯ 10400 โทรศัพท์ (02) 739-2191..5 ต่อ 610 E-mail: chumnarn@nectec.or.th *
บริษัท Orbital Science, 21700 Atlantic Blvd.Dullas, VA 20166, USA. **

บทคัดย่อ

บทความวิจัยนำเสนอการออกแบบและพัฒนาชิพจีพีเอส (Global Positioning System:GPS) ที่ทำหน้าที่ค้นหาตำแหน่งและติดตาม (Track) สัญญาณดาวเทียมจีพีเอส (GPS Statellites) ซึ่งเป็นระบบดาวเทียมบอกพิกัดตำแหน่งบนโลก ที่มีความเที่ยงตรงสูง และกำลังได้รับความนิยมในการทำงานอย่างกว้างขวางในด้านต่างๆ เช่น การนำร่อง การเดินทาง การจราจร เป็นต้น โดยใช้วิธีการออกแบบลักษณะ Top-Down design ด้วยภาษาวีเอชดีแอล (VHDL) ในการบรรยายพฤติกรรม และจำลองการทำงาน (Simulation) สถาปัตยกรรมภายในของจีพีเอสชิพที่ออกแบบจะยึดหลักตามสถาปัตยกรรมภายในของชิพ GP2021 ของบริษัท MITEL Semiconductor เป็นหลัก ในการพัฒนาต้นแบบจีพีเอสชิพ ขนาด 12 ช่องสัญญาณ โดยบทความนี้จะกล่าวในส่วนของการออกแบบวงจรติดตามสัญญาณดาวเทียมซึ่งเป็นส่วนหนึ่งในชิพจีพีเอส โดยคอร์ (Core) ที่ได้สามารถนำไปสังเคราะห์ (Synthesis) เพื่อทดสอบบนเอฟพีจีเอต่อไป

คำสำคัญ : จีพีเอส, วีเอชดีแอล, ดาวเทียม, การออกแบบวงจรระดับสูง

Abstract

This paper presents the design of a GPS (Global Positioning System) Chip for positioning and tracking signal from GPS satellites, a satellite system for positioning purpose with high accuracy and high precision. This system is widely used in many applications such as navigation, survey and traffic control etc. The GPS chip is developed using Top-Down Design technique and hardware description language VHDL. The architecture of GPS chip base on the GP2021, a 12 channel digital correlator from MITEL Semiconductor. This paper covers only tracking module which is a part of GPS Chip. The core is synthesiable using FPGA technology.

Keywords : GPS, VHDL, Satellites, High level design

1. บทนำ

ระบบจีพีเอส คือระบบที่ทำหน้าที่บอกตำแหน่งบนโลกโดยการอ้างอิงจากระบบดาวเทียมจีพีเอส ซึ่งวิจัยและพัฒนาโดยกระทรวงกลาโหมของสหรัฐอเมริกา การบอกตำแหน่งพิกัดจะแบ่งออกเป็น 2 โมด คือ โมดมาตรฐาน (Standard Positioning Services: SPS) ซึ่งให้บุคคลทั่วไปใช้โดยไม่มีการเข้ารหัสแต่อย่างใด มีความคลาดเคลื่อนประมาณ 22 เมตร และโมดละเอียด (Precise Positioning Services: PPS) ซึ่งถูกออกแบบมาเพื่อใช้ทางการทหารหรืองานที่ได้รับอนุญาตเป็นพิเศษเท่านั้น โดยข้อมูลจะถูกเข้ารหัสเพื่อไม่ให้ผู้ลักลอบนำไปใช้งานได้ องค์ประกอบหลักของระบบจีพีเอส ประกอบด้วย 3 ส่วน คือ ส่วนอวกาศ (Space Segment) จะประกอบไปด้วยดาวเทียม 24 ดวง ส่วนควบคุม (Control Segment) ทำหน้าที่ตรวจสอบและควบคุมการทำงานของดาวเทียมจีพีเอสให้อยู่ในสภาพที่ใช้งานได้อย่างถูกต้องและส่วนผู้ใช้งาน (User Segment) จะเป็นเครื่องรับสัญญาณจีพีเอสไปประมวลผลเพื่อแสดงพิกัดต่อไป การคำนวณหาตำแหน่งจะคำนวณจากสมการทั่วไปดังนี้คือ

$$d = \sqrt{(x_2 - x_1)^2 + (y_2 - y_1)^2 + (z_2 - z_1)^2} \qquad (1)$$

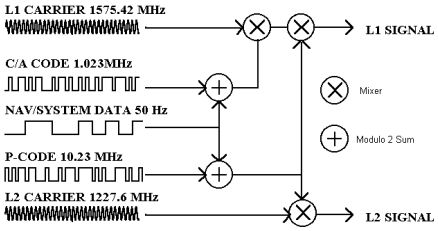
d คือ ระยะระหว่างดาวเทียมกับเครื่องรับสัญญาณจีพีเอส
(x_1, y_1, z_1) คือ ตำแหน่งพิกัดของดาวเทียม
(x_2, y_2, z_2) คือ ตำแหน่งเครื่องรับสัญญาณจีพีเอส

2. ระบบจีพีเอส

2.1 โครงสร้างสัญญาณจีพีเอส

สัญญาณจีพีเอสประกอบด้วยคลื่นพาหะ 2 ความถี่คือ Link 1 (L1) เป็นคลื่นพาหะที่มีความถี่ที่ศูนย์กลาง 1575.42 MHz ซึ่งเป็นความถี่ที่ใช้งานกันในโมดมาตรฐาน โดยใช้ในการส่งข้อมูลที่ใช้ในการประมวลผลเพื่อหาตำแหน่งพิกัด และ Link 2 (L2) เป็นคลื่นพาหะที่มีความถี่ที่ศูนย์กลาง 1227.6 MHz ซึ่งเป็นความถี่ที่ใช้งานในโมดละเอียด โดยใช้ในการ

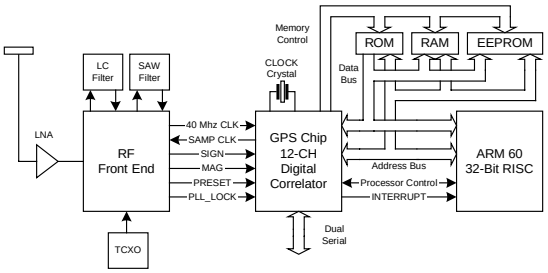
ส่งข้อมูลความล่าช้าของการส่งข้อมูลผ่านชั้นบรรยากาศช่วยให้การคำนวณตำแหน่งมีความแม่นยำมากยิ่งขึ้น



รูปที่ 1 การสร้างสัญญาณจีพีเอส

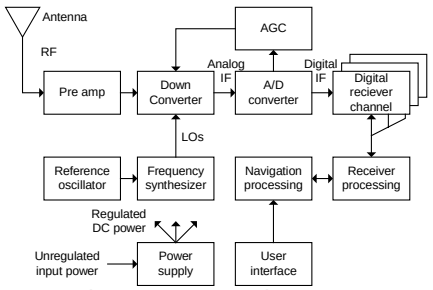
2.2 โครงสร้างของเครื่องรับสัญญาณจีพีเอส

เครื่องรับจีพีเอสเป็นอุปกรณ์ที่ใช้ในการประมวลผลสัญญาณดาวเทียมเพื่อใช้ในการบอกพิกัด โดยเครื่องรับสัญญาณจีพีเอสสามารถแบ่งออกเป็น 4 ส่วนหลักคือ (1) RF Front End เป็นส่วนที่ทำหน้าที่ในการรับสัญญาณดาวเทียมแล้วนำสัญญาณดาวเทียมที่รับเข้ามาผ่านกระบวนการต่างๆ เช่น Downconversion, Filtering, Sampling และ Analog to Digital Conversion เป็นต้น สัญญาณอนาล็อกที่รับจากดาวเทียมเมื่อผ่านส่วนนี้ไปแล้วจะได้เป็นสัญญาณดิจิตอล เพื่อใช้ในการประมวลผลในส่วนต่อไป (2) ชิพจีพีเอส ทำหน้าที่ในการติดตามดาวเทียมโดยรับสัญญาณจาก RF Front End เพื่อส่งข้อมูลไปประมวลผลต่อไป (3)ไมโครโพรเซสเซอร์ ทำหน้าที่ในการประมวลผลหาตำแหน่งพิกัด (4) หน่วยความจำ ทำหน้าที่ในการพักข้อมูลและเก็บโปรแกรมที่ใช้ในการประมวลผล



รูปที่ 2 โครงสร้างเครื่องรับจีพีเอส

2.3 การทำงานของเครื่องรับจีพีเอส

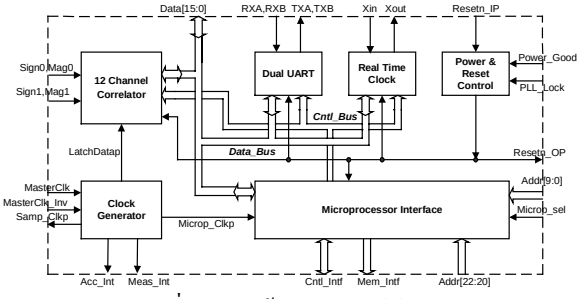


รูปที่ 3 การทำงานของเครื่องรับจีพีเอส

เครื่องรับสัญญาณจีพีเอสจะรับสัญญาณผ่านทางเสาอากาศ แล้วขยายสัญญาณที่ได้ด้วยวงจรขยายสัญญาณแบบมีสัญญาณรบกวนต่ำ (Low Noise Amplifier) จากนั้นนำสัญญาณที่ได้ Downconverter ไปเป็นสัญญาณ IF (Intermediate Frequency) แบบอนาล็อก โดยจะมีการรวมสัญญาณ LOs (Local Oscillators) ที่ได้จาก Frequency Synthesizer ภายในอุปกรณ์รับสัญญาณ หลังจากนั้นจะนำสัญญาณ IF แบบอนาล็อกที่ได้แปลงให้อยู่ในรูปสัญญาณ IF แบบดิจิตอล โดยจะมี AGC (Automatic Gain Control) ทำหน้าที่ควบคุมการเพิ่มกำลังขยายสัญญาณแบบอัตโนมัติ เมื่อได้สัญญาณ IF แบบดิจิตอลจะนำสัญญาณดังกล่าวไปชดเชยความผิดพลาดที่เกิดจากการส่งข้อมูลและถอดรหัสว่าเป็นสัญญาณจากดาวเทียมจีพีเอสดวงใด แล้วนำข้อมูลที่ได้ไปทำการประมวลผลเพื่อหาตำแหน่งของอุปกรณ์รับสัญญาณ

2.4 โครงสร้างของชิพจีพีเอส

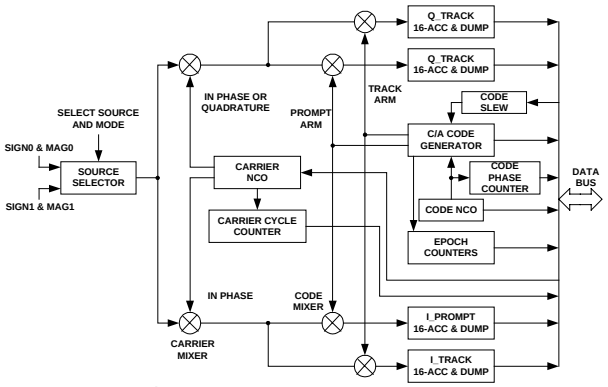
โครงสร้างภายในชิพจีพีเอส สามารถแบ่งออกเป็น 4 ส่วนหลัก คือ (1) 12-Channel Digital Correlator ทำหน้าที่ ในการถอดรหัสสัญญาณจีพีเอสออกจากคลื่นพาหะโดยใช้เทคนิคที่เรียกว่า CDMA (Code Division Multiple Access) ทำหน้าที่แก้ไขปรับปรุงและชดเชยค่าผิดพลาดที่เกิดจากปรากฏการณ์ Doppler (2) Microprocessor Interface ทำหน้าที่ในการรับส่งสัญญาณควบคุมและข้อมูลที่ใช้ในการคำนวณระหว่าง Digital Correlator กับไมโครโพรเซสเซอร์ (ARM, Motorola, Intel) และสร้างสัญญาณควบคุมการติดต่อกับหน่วยความจำ เช่น RAM, ROM และ EEPROM (3) Timing Generator ทำหน้าที่สร้างสัญญาณนาฬิกาและสร้างสัญญาณอินเตอร์รัพท์ (4) Peripheral Function เป็นอุปกรณ์ต่อร่วมประกอบด้วย Dual UART, Real Time Clock, Watchdog, Power Reset Control และ Discrete I/O



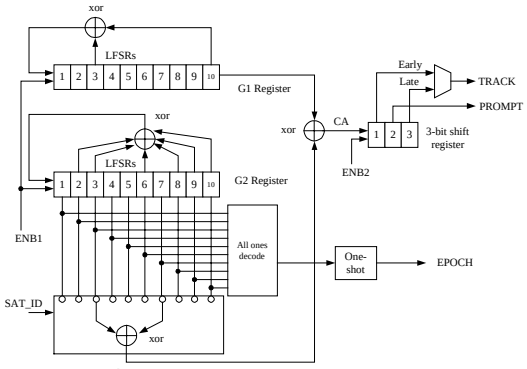
รูปที่ 4 โครงสร้างภายในชิพจีพีเอส

3. การออกแบบ

บทความนี้จะกล่าวถึงเฉพาะการออกแบบชิพจีพีเอสในส่วนที่ทำหน้าที่ติดตามดาวเทียมจีพีเอสและถอดรหัสสัญญาณดาวเทียมจีพีเอส (Digital Correlator) และส่วนที่ทำหน้าที่ควบคุมการติดต่อระหว่างไมโครโพรเซสเซอร์และชิพจีพีเอส (Microprocessor Interface) เท่านั้น



รูปที่ 5 โครงสร้างภายใน Digital Correlator



รูปที่ 6 โครงสร้างของ C/A Code Generator

3.1 Source Selector

ทำหน้าที่เลือกโมดและแหล่งกำเนิดสัญญาณที่ได้รับจากส่วน RF โดยจะ Sampling ที่ความถี่ 5.714 MHz ใน Real mode และที่ 5.833 MHz ใน Complex mode อินพุตจะอยู่ในรูปของสัญญาณ SIGN กับ MAG

3.2 Carrier NCO (Numerical Control Oscillator)

ทำหน้าที่สร้างสัญญาณ Digital Local Oscillator ที่ใช้ในการคูณสัญญาณ IF ที่ถูก Sampling เป็นสัญญาณรูปแบบ In-phase และ Quadra-phase โดยมีความถี่ประมาณ 1.405 MHz สัญญาณที่สร้างขึ้นจะมีลักษณะ 4 ระดับ 8 เฟส

3.3 C/A Code Generator

ทำหน้าที่สร้าง Coarse/Acquisition Code (C/A Code) มีอัตราส่งที่ความถี่ 1.023 MHz (รวมค่าผิดพลาดจาก Doppler Shift) โดย C/A Code จะมีความยาว 1023 บิตต่อหนึ่งชุด แต่ละชุดของ C/A Code ใช้เวลาส่ง 1 มิลลิวินาที ภายใน C/A Code Generator ประกอบด้วย 10-bit Linear Feedback Shift Register (LFSR) 2 ชุดได้แก่ G1 และ G2 โดย $G1 = 1 + X^3 + X^{10}$, $G2 = 1 + X^2 + X^3 + X^6 + X^8 + X^9 + X^{10}$ ใช้สำหรับสร้างรหัสย่อย PN (Pseudo Noise) Code ที่มีขนาดความยาว $2^{10} - 1 = 1023$ บิต โดยการเอ็กซ์คลูซีฟออร์เข้าด้วยกัน จากนั้นจะรวมสัญญาณที่ได้ด้วยวิธีการ Biphase Shift Key (BPSK) เพื่อสร้าง C/A Code ดาวเทียมจีพีเอสแต่ละดวงต่อไป โดยเทคนิคการติดตามสัญญาณดาวเทียมของชิพที่ออกแบบจะแตกต่างกับชิพจีพีเอสโดยทั่วไปคือจะใช้สัญญาณเพียง 2 รูปแบบคือ PROMPT และ TRACK ในการติดตามสัญญาณดวงเทียม แทนการใช้สัญญาณ 3 รูปแบบคือ EARLY, LATE และ PROMPT เพื่อลดจำนวนของเรจิสเตอร์ที่ใช้เก็บข้อมูลในการติดตาม ซึ่งแบ่งออกเป็น 4 รูปแบบคือ EARLY, LATE, DITHERED (สลับระหว่าง EARLY และ LATE ทุกๆ 20 มิลลิวินาที), EARLY-MINUS-LATE แต่ละโมดจะถูกเลือกใช้จากอัลกอริทึมที่ใช้ในการประมวลผล

3.4 Code NCO

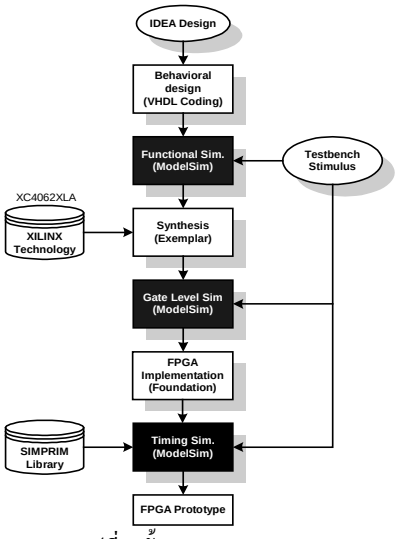
ทำหน้าที่สร้างสัญญาณ Freq และ DoubleFreq โดย Freq จะใช้ในการควบคุมการทำงานของ LFSR G1 และ G2 ส่วน DoubleFreq จะใช้ในการควบคุมการทำงานของ 3-bit Shift Register ภายใน Code Generator สัญญาณ Freq จะเป็น Carry Out ของ 26-bit และ DoubleFreq เป็นสัญญาณ Carry Out ของบิตที่ 25 ของ Adder

3.5 Microprocessor Interface

ทำหน้าที่ในการควบคุมการติดต่อระหว่างไมโครโพรเซสเซอร์ (ทำหน้าที่ในการคำนวณหาตำแหน่ง), ชิพจีพีเอส (ทำหน้าที่ในการเก็บข้อมูลจากดาวเทียม) และหน่วยความจำที่ต่อเข้ากับชิพจีพีเอส (ทำหน้าที่ในการเก็บโปรแกรมหรือพักข้อมูล) เป็นต้น โดยชิพจีพีเอสที่ออกแบบสามารถทำงานร่วมกับไมโครโพรเซสเซอร์ตระกูล Intel, Motorola และ ARM ได้

4. ขั้นตอนการออกแบบ

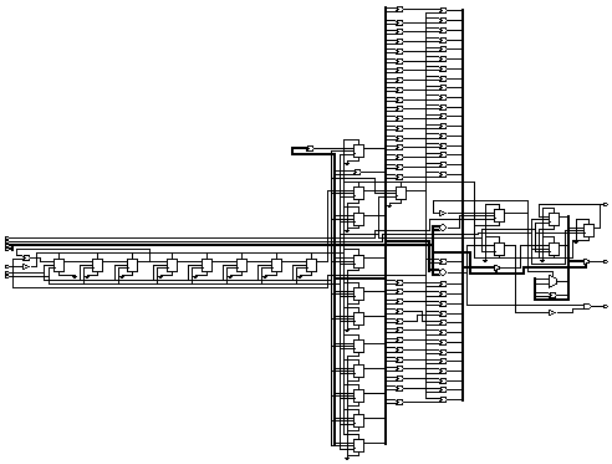
ศึกษารายละเอียดของระบบการทำงานภายในชิพจีพีเอสในส่วนของ Digital Correlator จากนั้นสร้างเป็นโมเดลของวงจรโดยใช้ภาษาวีเอชดีแอลในการบรรยายพฤติกรรมของวงจร (Behavioral) ในแต่ละส่วนของวงจรที่แบ่งไว้ ทำการสังเคราะห์โมเดลของวงจรให้อยู่ในรูปของ Netlist โดยใช้โปรแกรมช่วยในการสังเคราะห์ เพื่อนำวงจรที่ออกแบบไปทดสอบกับชิพเอฟพีจีเอในการติดตามสัญญาณดาวเทียมต่อไป ซึ่ง ณ ปัจจุบันงานวิจัยได้พัฒนาถึงขั้นตอนการทำ Timing Simulation และบางส่วนอยู่ในขั้นตอนทดสอบการทำงานกับชิพเอฟพีจีเอ ถ้าทำการออกแบบเสร็จสมบูรณ์ทุกส่วนแล้วก็ทั้งหมดมาสังเคราะห์และเชื่อมต่อเข้าด้วยกันเพื่อให้ได้คอร์ของชิพที่สมบูรณ์เพื่อนำไปทดสอบการบอกตำแหน่งแทนชิพจีพีเอสที่มีอยู่ เพื่อทดสอบความถูกต้องในการทำงานจริงต่อไป



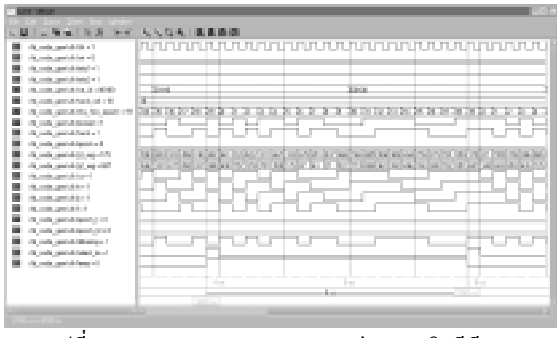
รูปที่ 7 ขั้นตอนการออกแบบ

5. ผลการวิจัย

จากการจำลองการทำงานโดยใช้โปรแกรม ModelSim ในการจำลองการทำงานของโมเดลที่ทำการออกแบบแต่ละโมดูล โดยใช้ความถี่ของการ Sampling ที่ 5.714 MHz พบว่าการทำงานในระดับฟังก์ชันถูกต้องตามการออกแบบไว้ข้างต้น และได้ทดลองทำการสังเคราะห์ให้อยู่ในรูปของ Gate level โดยใช้เทคโนโลยี XILINX เอฟพีจีเอตระกูล XC4000 เบอร์ XC4062XLA-09-HQ160 และนำไปโปรแกรมลงชิพเอฟพีจีเอโดยใช้โปรแกรม Xilinx Foundation Series 2.1i ในการ Place & Route พบว่าใช้จำนวน CLB ประมาณ 14% ต่อ 1 ช่องสัญญาณ โดยความเร็วของวงจรที่ได้ประมาณ 19.64 MHz ดังนั้น ถ้าออกแบบทั้ง 12 ช่องสัญญาณจะต้องใช้เอฟพีจีเอประมาณ 4 ตัวในการทดสอบดังแสดงในรูปที่ 10



รูปที่ 8 ผลการสังเคราะห์วงจร C/A Code Generator



รูปที่ 9 ผลการจำลองการทำงานบางส่วนของชิพจีพีเอส

รูปที่ 9 แสดง Waveform การทำงานภายใน C/A Code Generator ซึ่งได้จากการจำลองการทำงานในระดับฟังก์ชัน ซึ่งเป็นการจำลองการสร้างสัญญาณ Track, Prompt เพื่อนำไปใช้คำนวณหาเวลาที่ล่าช้าของสัญญาณจีพีเอสต่อไป

รูปที่ 10 ต้นแบบชุดพัฒนาชิพจีพีเอสที่ออกแบบ

6. สรุปผลการวิจัย

การออกแบบและพัฒนาชิพจีพีเอสขณะนี้วงจรที่ออกแบบส่วนใหญ่อยู่ในขั้นตอนการจำลองการทำงานในระดับ Timing Simulation ซึ่งจากการจำลองการทำงานพบว่าสามารถทำงานได้ตามที่ออกแบบ สำหรับวงจรบางส่วนได้มีการนำไป Implement บนเอฟพีจีเอแล้ว เพื่อทดสอบการทำงานจริง พบว่าสามารถทำงานได้ตามที่ออกแบบไว้เช่นกัน โดยสำหรับงานในขั้นต่อไปจะเป็นการทำวงจรที่ออกแบบสังเคราะห์รวมทั้งหมดแล้วโปรแกรมลงเอฟพีจีเอเพื่อทดสอบการทำงานร่วมกับไมโครโพรเซสเซอร์ ARM และส่วน RF Front End ในการบอกพิกัด โดยผลลัพธ์ของพิกัดที่ได้จะนำไปเปรียบเทียบกับผลที่ได้จากชุดพัฒนาจีพีเอสมาตรฐานของบริษัท Mitel Semiconductor ซึ่งใช้เป็นระบบจีพีเอสอ้างอิงต่อไป

7. เอกสารอ้างอิง

[1] E. Kaplan, “Understanding GPS Principles and Applications”, Artech House, 1996

[2] J. Thor, “Evaluation of a Reconfigurable Computing Engine for Digital Communication Applications”, Lulea Tekniska University, 1999

[3] Mitel Semiconductor, “GPS 12-Channel Correlator”, Mitel Semiconductor, 2000