

---

# ASIC MULTIPLEXOR/DEMULTIPLEXOR ATM

J. Riesco, J. C. Díaz, C. Santos\*, E. Juarez+.

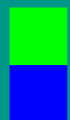
Telefónica Investigación y Desarrollo  
Emilio Vargas,6. 28043 Madrid

\*SIDSA

Isaac Newton, 1. 28760 Tres Cantos (Madrid).

+UPM-IEL

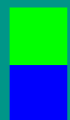
ETSI Telecomunicación. Ciudad Universitaria s/n. 28040 Madrid



# OBJETIVO DE LA PRESENTACIÓN

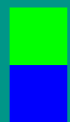
Describir el circuito integrado AMDA  
(*ASIC Multiplexor / Demultiplexor ATM*)

- **Funciones**
- **Arquitectura**
- **Diseño.**



# ESQUEMA DE LA PRESENTACIÓN

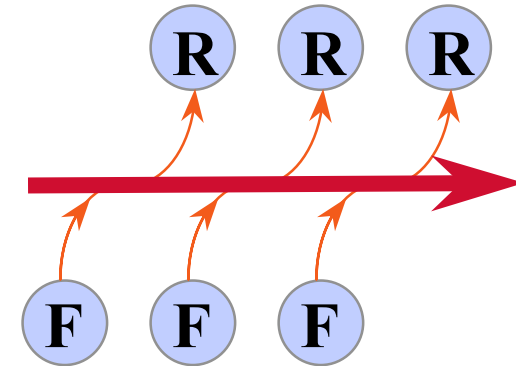
- INTRODUCCIÓN
- DESCRIPCIÓN GENERAL
- ARQUITECTURA
- METODOLOGÍA DE DISEÑO
- DATOS FÍSICOS
- CONCLUSIONES
- PREGUNTAS Y RESPUESTAS



# INTRODUCCIÓN

## □ MOTIVACIÓN

- Explotar las características de ganancia estadística de las redes ATM.
- Necesidad de Agregar y Extraer tráfico de un canal ATM de alta velocidad

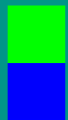


## □ PROBLEMAS

- Algoritmo distribuido de control de acceso al medio (CAM).
- Dimensionado de colas de tráfico de multiplexación y demultiplexación.
- Velocidad, consumo y coste.

## □ OBJETIVO

- Cubrir las necesidades de multiplexación y demultiplexación en una red ATM.



# DESCRIPCIÓN GENERAL (i)

## DOS MODOS DE OPERACIÓN (no simultáneos)

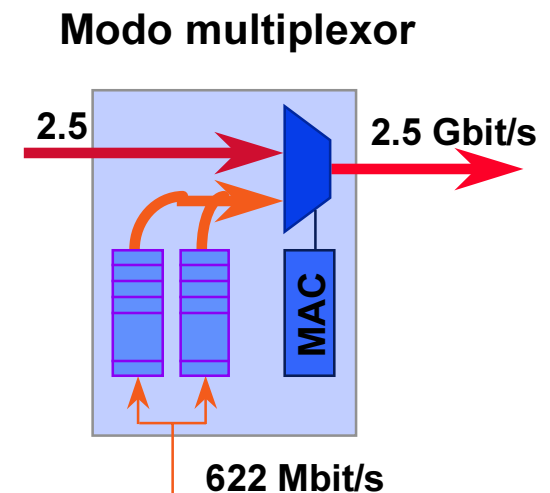
- MULTIPLEXOR
- DEMULTIPLEXOR

## Modo MULTIPLEXOR

Añade tráfico ATM (hasta 622 Mbit/s) a un canal ATM de alta velocidad (2.5 Gbit/s).

Funciones:

- Multiplexado
  - Dos colas: Alta/baja prioridad.
- Control distribuído de acceso al medio
  - Escalabilidad
  - Fiabilidad



# DESCRIPCIÓN GENERAL (ii)

## ❑ Modo DEMULTIPLEXOR

Extrae células de un canal ATM de alta velocidad (2.5 Gbit/s) hacia un receptor de baja velocidad (hasta 622 Mbit/s).

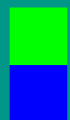
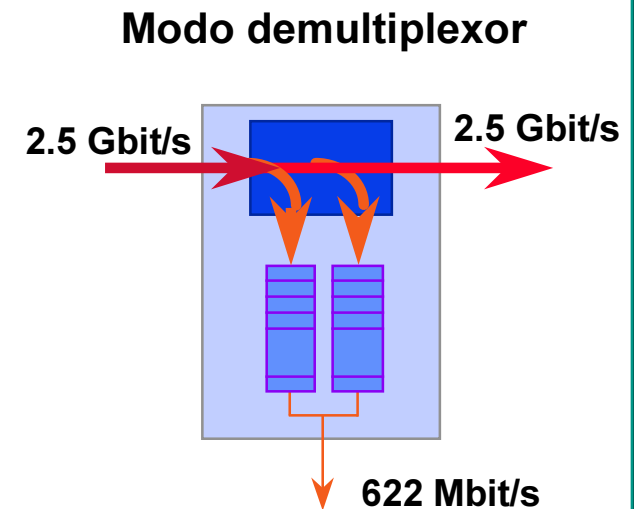
### Funciones

#### ○ Filtrado:

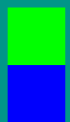
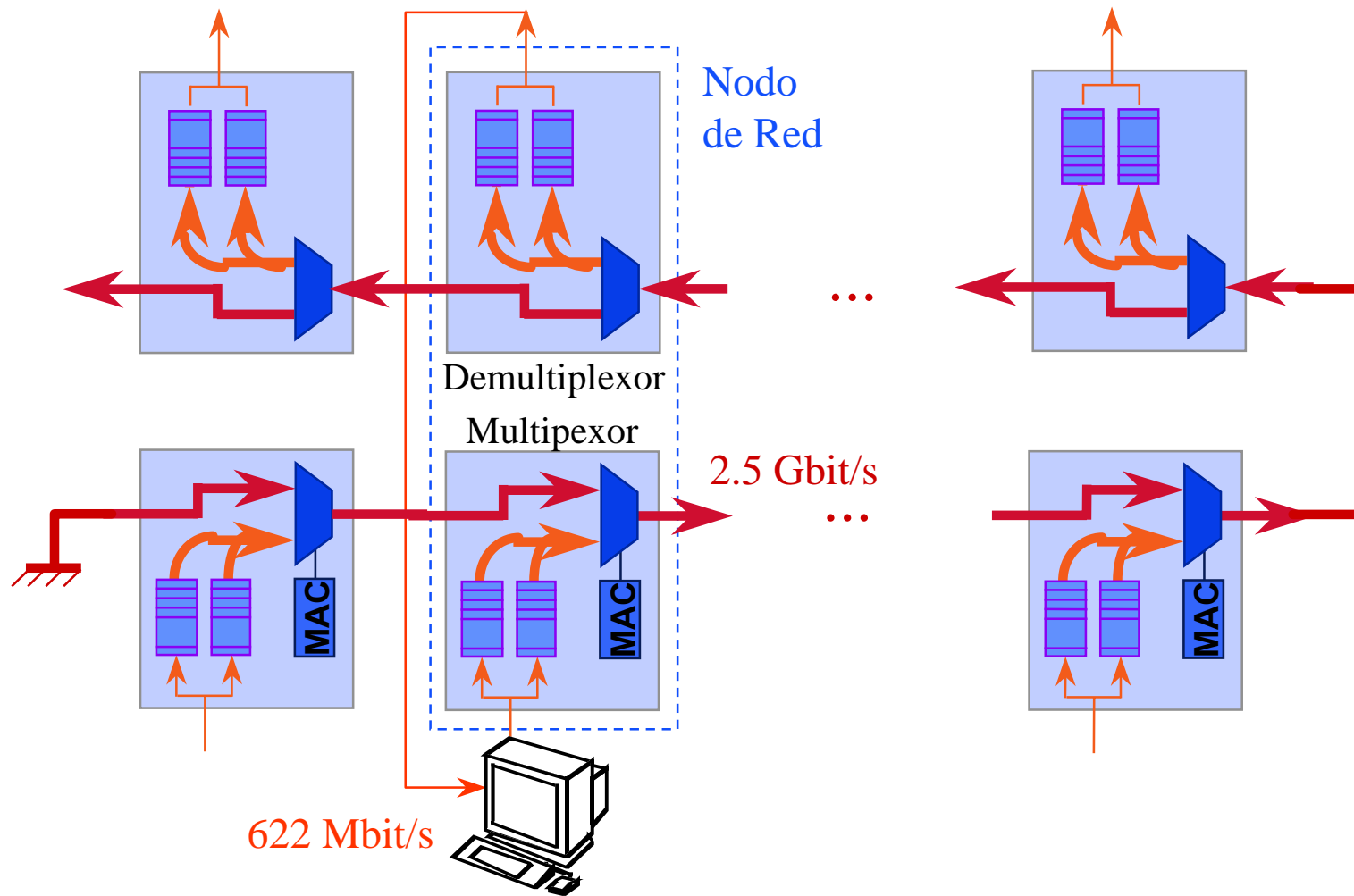
- Verifica las cabeceras de las células
- Puede eliminar del canal las células extraídas.

#### ○ Adaptación de velocidades

- Almacena las células entrantes en colas (alta/baja prioridad)



# CONFIGURACIÓN DE RED

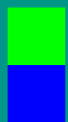


**I+D**

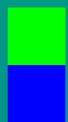
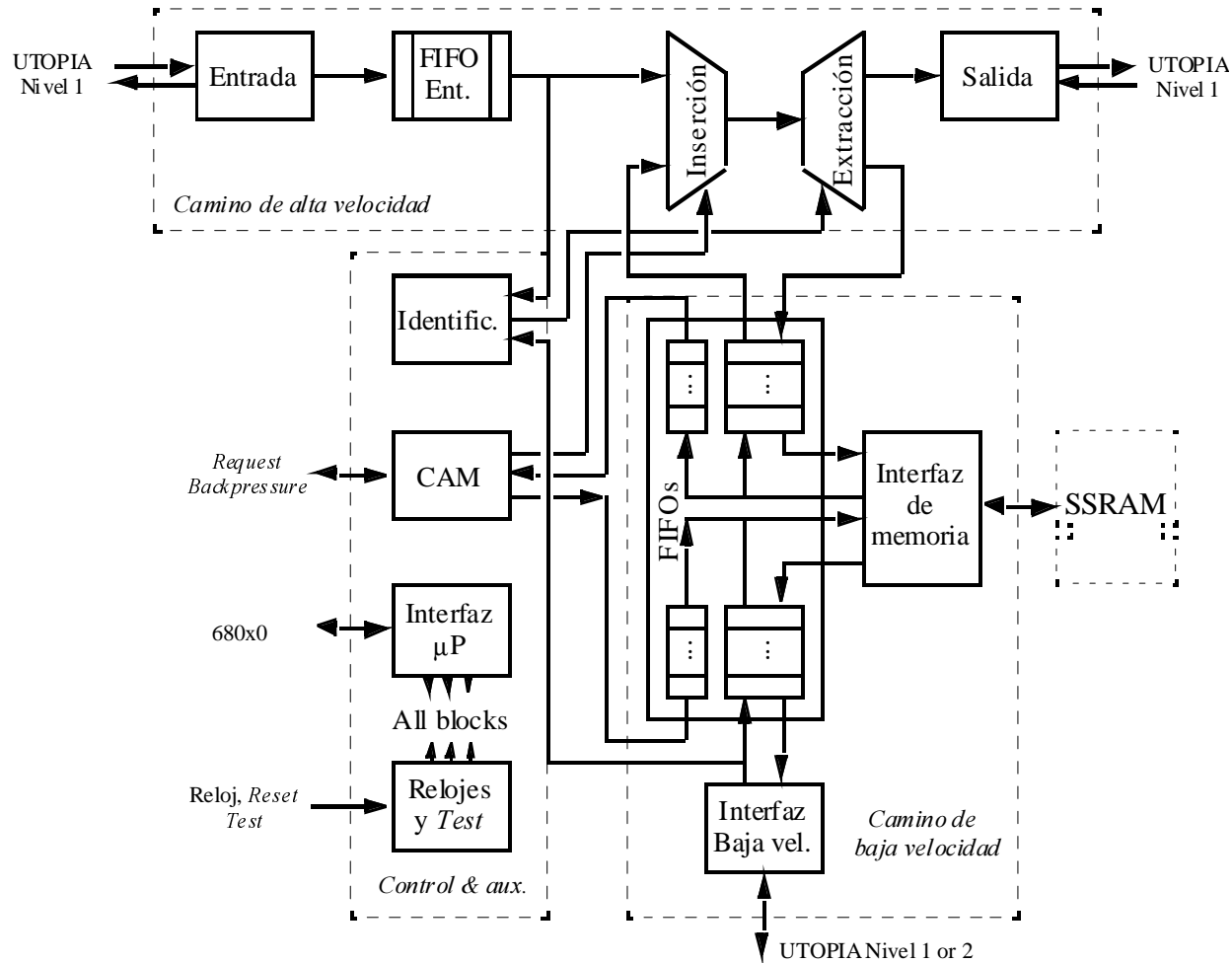
Telefónica  
Investigación y Desarrollo

# ARQUITECTURA

- ❑ La estructura del circuito refleja el flujo interno de datos
  - **Camino de alta velocidad** (2.5 Gbit/s)
    - Interfaz de entrada
    - FIFO de entrada
    - Bloque de inserción
    - Bloque de extracción
    - Interfaz de salida.
  - **Camino de baja velocidad** (622 Mbit/s)
    - Bloque de FIFOs
    - Interfaz de memoria externa
    - Interfaz de baja velocidad
  - **Bloques de control y auxiliares**
    - Control de acceso al medio (CAM)
    - Bloque de identificación de células
    - Interfaz de microprocesador
    - Generación de relojes
    - Control de *test*



# DIAGRAMA DE BLOQUES



# CAMINO DE ALTA VELOCIDAD (i)

## Interfaz de entrada

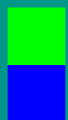
- UTOPIA nivel 1 (16 hilos a 155 MHz) Rx-ATM
- Conversión al formato interno de 64 bits en paralelo
- Extracción de señales de control de acceso al medio (*request, backpressure*)
- Identificación de células vacías
- Comprobación de paridad y estadísticas de células erróneas
- Control y mantenimiento de la integridad de célula.

## FIFO de entrada

- DPRAM 56x64 (8 células)
- Soporte de plesiocronismo/circuitos de capa física.

## Bloque de inserción (en modo multiplexor)

- Sustituye células vacías del canal de alta velocidad por células de la fuente (bajo indicación del MAC)
- Indicación de congestión (soporte de ABR)



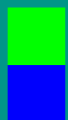
# CAMINO DE ALTA VELOCIDAD (ii)

## Bloque de extracción

- Escribe células del canal de alta velocidad en las FIFOs de baja velocidad , bajo indicación del bloque de identificación. (modo demultiplexor).
- Elimina células del canal (sustituyéndolas por células vacías)
  - Comunicaciones punto multipunto
- Mantiene estadísticas del flujo de células de alta velocidad (modos mux y demux)

## Interfaz de salida

- UTOPIA nivel 1(16 hilos a 155 MHz) Tx-ATM
- Conversión desde el formato interno de 64 bits en paralelo al de 16 bits.
- Inserción programable de señales de control de acceso al medio
- Identificación de células vacías
- Generación de campo de paridad (BIP8)



# CAMINO DE BAJA VELOCIDAD

## Bloque de FIFOs

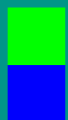
- 4 DPRAMs (42x64, 28x64, 8x16 y 8x17)
- *Buffers* internos para acceso a la memoria externa
- 2 colas, prioritaria y ordinaria.

## Interfaz de memoria externa (SSRAM)

- Capacidad de direccionamiento de 256 x32 (16K células ATM)
- 2 colas lógicas con tamaños y umbrales programables
- Genera señal de *Backpressure*
- Acceso en ráfagas (Ancho de banda de 3Gbit/s con reloj de 110MHz)
- Multiplexado de direcciones y datos (reducción de pines)

## Interfaz de baja velocidad

- UTOPIA nivel 1/nivel 2 (8 hilos a 33 MHz o 16 hilos a 50 MHz) Tx/Rx-ATM
- Gran versatilidad/programabilidad



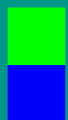
# BLOQUES DE CONTROL

## Control de Acceso al Medio (CAM)

- Algoritmo Distribuido de Acceso al Medio (ADAM®)
  - Minimiza tamaños de colas, *CDV* y dependencia con la posición.
- Controla el bloque de inserción
- Genera y propaga las señales de petición de acceso al medio (*request*)

## Identificación de células

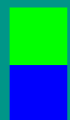
- Identificación de la conexión mediante 13 bits del VPI/VCI (8K canales)
- Parámetros de la conexión programables en una memoria 2Kx24 (6 bits/canal)
  - Bits de control de propagación y extracción (modo demux)
  - Bits de prioridad y prioridad de pérdida
  - Bits de habilitación y estado de descarte selectivo.
- Contadores de estadísticas



# CALIDADES DE SERVICIO

- ❑ Los bits de prioridad y pérdida permiten diferenciar 4 tipos de servicio.

		Sensibilidad al retardo	
		Alta	Baja
Sensibilidad a la pérdida	Alta	Vídeo codificado	Datos
	Baja	Voz	Control remoto



# BLOQUES AUXILIARES

## Interfaz de microprocesador

- Compatible motorola 680x0
- Programación y lectura de estadísticas/estado (31 registros de 8 bits)
- Sistema de 8 interrupciones enmascarables

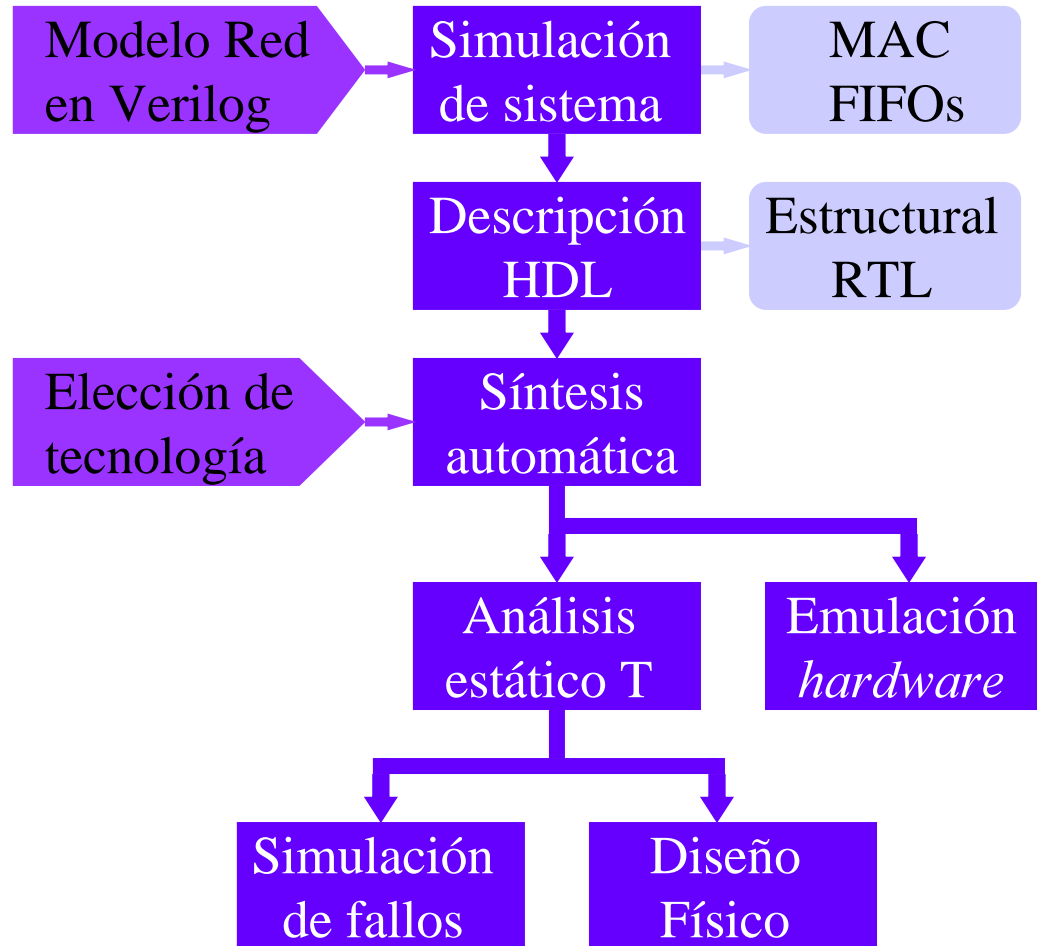
## Generación de relojes

- Genera relojes internos de operación del AMDA
- Sincroniza el *reset* asíncrono y *software* con los relojes.

## Control de *test*

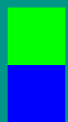
- Genera las señales para el control de los *tests* de fabricación y BIST
- Test ad-hoc+simulación de fallos (95% cobertura)

# FLUJO DE DISEÑO



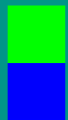
# DATOS FÍSICOS

- Tecnología LSI-Logic LCB500K (CMOS 0,5 mm)
- 34800 Puertas (NAND2) equivalentes
- 48 Kbit memoria de simple puerto
- 8.5 Kbit memoria de doble puerto
- Área 6,7 mm x 6,7 mm
- Encapsulado QFP 208 pines (3 n.c.)
  - 42 entradas, 35 salidas, 60 bidireccionales (137 funcionales)
  - 31 alimentación (3.3 V), 37 masa. (68 alimentación)
- Entradas/salidas alta velocidad (155 MHz) PECL (21+19)

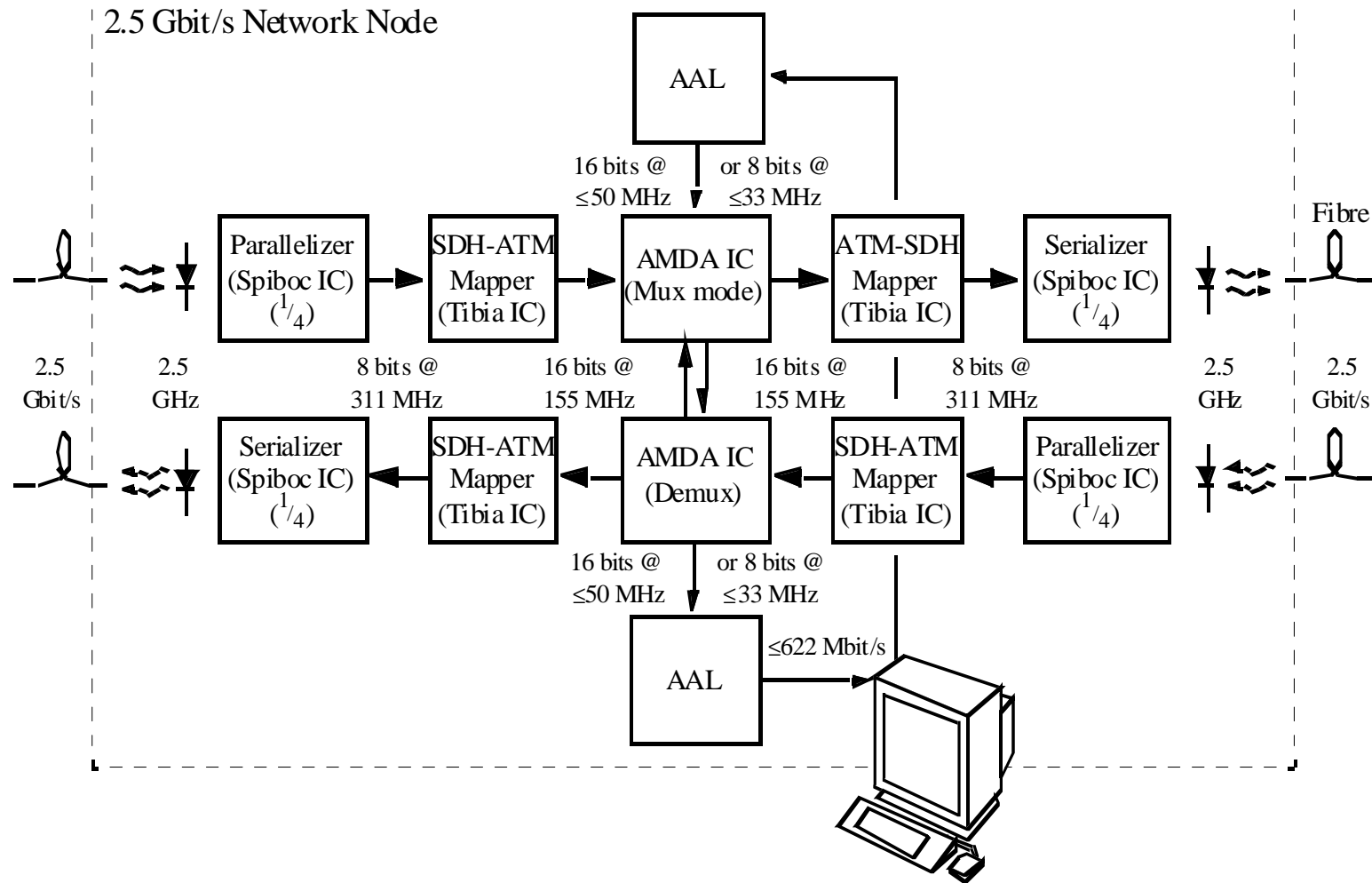


# CONCLUSIONES

- El AMDA simplifica la implementación de redes de banda ancha.
- Explotación de la ganancia estadística
- Reparto equitativo del ancho de banda.
- Escalabilidad
- Fácilmente integrable en un nodo de red ATM de alta velocidad



# NODO ATM

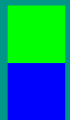
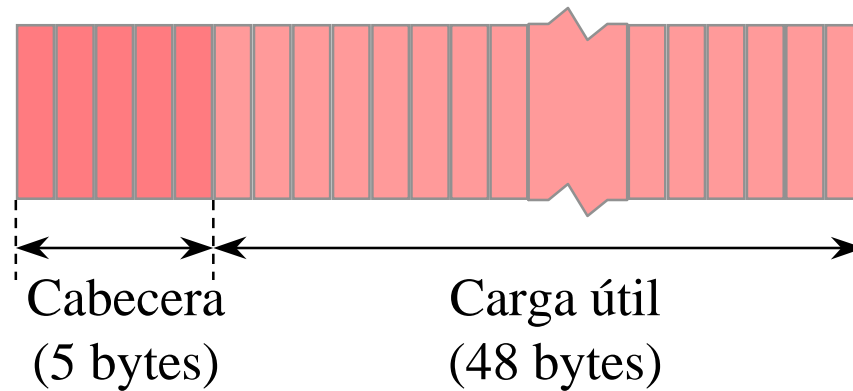


# ATM

## □ ATM (*Asynchronous Transfer Mode*)

- Método recomendado por la UIT para sistemas de banda ancha (RDSI-BA)

Célula ATM



# MULTIPLEXACIÓN ESTADÍSTICA

## □ *Ganancia estadística*

Varias fuentes pueden compartir un canal con ancho de banda inferior a la suma de las tasas de pico de las fuentes.

## □ *Congestión:*

Dos o más células procedentes de distintas fuentes tratan de acceder simultáneamente al canal.

○ Colas de tráfico: Probabilidad de pérdida y retardo variable

