

# ASIC MULTIPLEXOR DEMULTIPLEXOR ATM

Jacobo Riesco<sup>†</sup>, Juan Carlos Díaz<sup>†</sup>, Carlos Santos<sup>\*</sup>, Eduardo Juárez<sup>◇</sup>

<sup>†</sup>Telefónica Investigación y Desarrollo  
C/ Emilio Vargas, 6. 28043 Madrid

<sup>\*</sup>SIDSA

Isaac Newton, 1. 28760 Tres Cantos (Madrid)

<sup>◇</sup>Universidad Politécnica de Madrid.

ETSI Telecomunicación. Ciudad Universitaria, s/n. 28040 Madrid.

## Resumen

*El presente artículo describe el circuito integrado AMDA (Asic Multiplexor Demultiplexor ATM). Las funciones básicas de este circuito son las de agregar (modo multiplexor) y extraer (modo demultiplexor) canales ATM de baja velocidad (hasta 622 Mbit/s) en/de un flujo ATM de alta velocidad (2.5 Gbit/s). En modo multiplexor, para el control de acceso al canal común de alta velocidad, se ha desarrollado e implementado un algoritmo distribuido que garantiza igual probabilidad de inserción de tráfico a todos los AMDAs situados a lo largo del canal. En ambos modos puede manejar dos niveles de prioridades y hasta 8K canales, con una capacidad de almacenamiento de hasta 16K células mediante el empleo de una SSRAM externa de alta velocidad. La máxima frecuencia de reloj del circuito es de 155 MHz y ha sido desarrollado con la tecnología LCB500K de LSI-Logic (CMOS de 0,5  $\mu\text{m}$ ). Contiene 34800 puertas equivalentes, 48 Kbit de memoria de simple puerto y 8,5 Kbit de memoria de doble puerto, ocupa una área de 6,7 x 6,7 mm y está encapsulado en un QFP de 208 pines.*

## 1. Introducción

Las funciones básicas del circuito AMDA, son las de agregar y extraer canales ATM de baja velocidad (hasta 622 Mbit/s) en un flujo ATM de alta velocidad (2.5 Gbit/s). El AMDA puede funcionar, de forma configurable mediante programación, en modo multiplexor o demultiplexor.

Como multiplexor agrega tráfico ATM procedente de fuentes de baja velocidad a un canal de alta velocidad. La fuente envía células al AMDA que se almacenarán en dos colas, una ordinaria y otra prioritaria. Una vez almacenada una célula completa en alguna de las colas, deberá esperarse la llegada de una célula vacía por el canal de alta velocidad, procediendo a sustituirla por una célula de la fuente. Las células almacenadas en la cola prioritaria se insertan antes que las de la cola ordinaria (es decir, mientras haya células en la cola prioritaria no se insertan las de la cola ordinaria). Para asegurar a todas las fuentes una probabilidad similar de insertar su tráfico [1-4] es

necesario un mecanismo distribuido de control de acceso al medio común (MAC), de forma que cada AMDA pueda informar a los que le preceden (según el sentido del flujo de datos ATM) de que deben dejar pasar células vacías aun cuando tengan tráfico que insertar (enviando peticiones de acceso al medio o *requests* ordinarios y prioritarios). El algoritmo empleado en el AMDA es totalmente novedoso, se denomina ADAM (pendiente de patente [4]) y ha sido desarrollado como parte del proyecto.

En modo demultiplexor, se verifican las cabeceras de las células del canal ATM de alta velocidad, y extrae las destinadas al receptor ATM. Las células extraídas pueden, en función de la programación, eliminarse del canal (sustituyéndolas por células vacías) o dejarse en él (permitiendo así comunicaciones punto a multipunto). Para desacoplar las velocidades del canal y el receptor de baja velocidad, un par de colas permiten almacenar las células entrantes, según su prioridad (ordinarias y prioritarias), presentando los datos al receptor a la velocidad adecuada. Las células prioritarias se extraen hacia el receptor antes que las ordinarias. Adicionalmente, cuando se satura la cola de células ordinarias de algún demultiplexor, (se supera un cierto umbral programable) éste informa (mediante una señal de *backpressure*) a todos los multiplexores que le preceden para que dejen de insertar células no prioritarias en el canal, y así evitar el desbordamiento de la cola.

La estructura de las comunicaciones con el AMDA puede adoptar dos posibles configuraciones físicas: conexión en red y conexión en *backplane*.

Una red (figura 1) consta de dos buses unidireccionales que transportan información en sentidos opuestos. Las señales de control de acceso a cada uno de los buses son transportadas en el propio bus (*backpressure*) y en el bus dual (*requests, backpressure*). Cada nodo está compuesto por un multiplexor y un demultiplexor que extrae las señales de control del bus dual.

En configuración de *backplane*, las señales de control del algoritmo de acceso al medio común, son transportadas explícitamente mediante hilos en la placa del sistema. Desde el punto de vista lógico ambas configuraciones son equivalentes, pues el MAC pro-



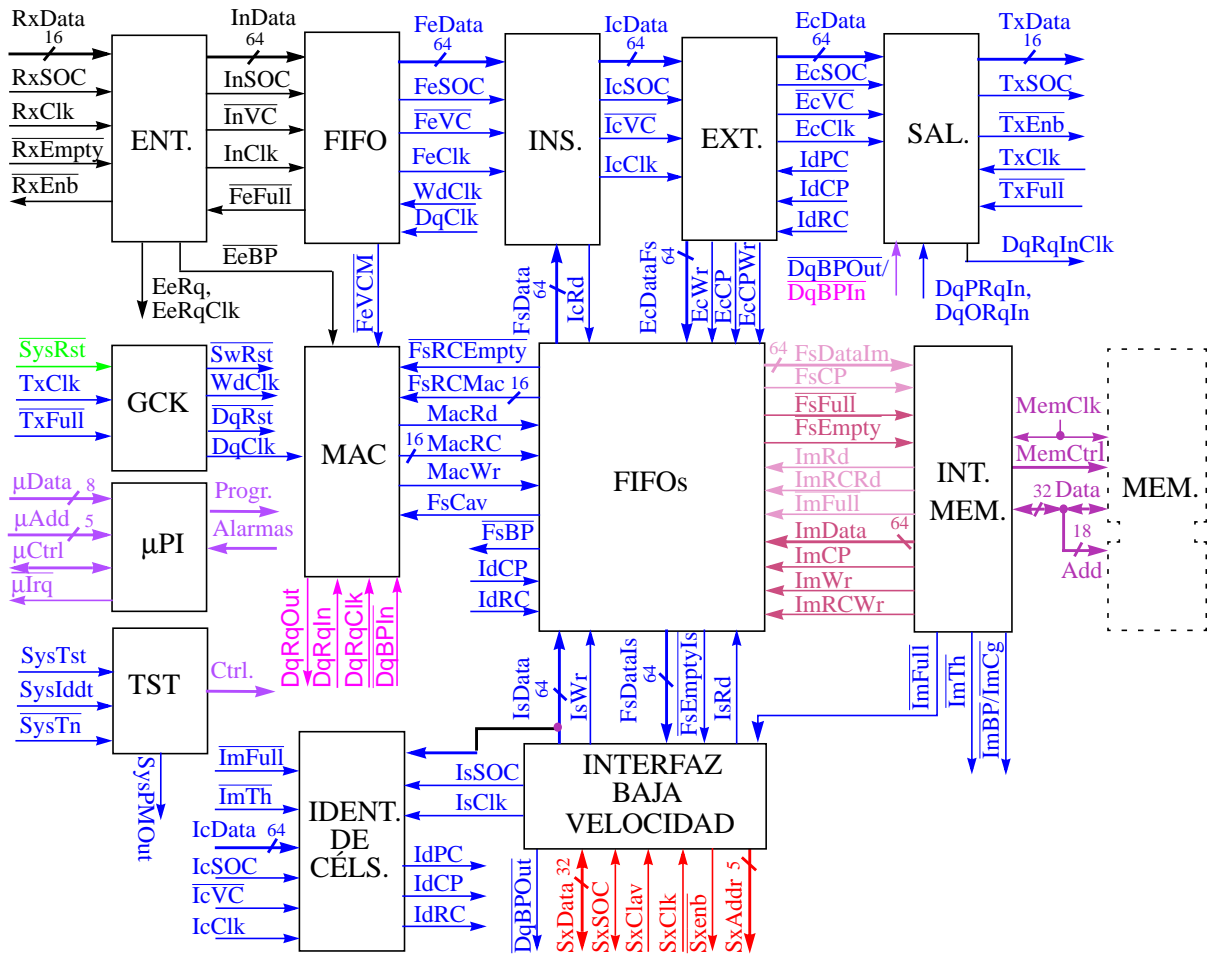


Figura 2: Diagrama de bloques del AMDA

### 2.3. Bloques de control y auxiliares

Los bloques de control y auxiliares son: MAC, identificación de células, interfaz de microprocesador, generación de relojes y control de test.

El MAC, en modo multiplexor, es el encargado de arbitrar, de forma distribuida, el acceso al canal de 2.5 Gbit/s entre los distintos AMDAs que acceden a él, controlando el bloque de inserción y generando y propagando las señales de *request*. El algoritmo empleado, ADAM, minimiza los tamaños de las fifos y la variación de los retardos (CDV) de forma independiente de la posición del AMDA en la red. Así todos los nodos tienen igual probabilidad de insertar su tráfico y la red se comporta globalmente como una cola distribuida con disciplina de atención de tipo FCFS [2, 4].

El bloque de identificación, se encarga de determinar a qué canal pertenece cada célula y su prioridad, además realiza funciones de descarte selectivo y medidas estadísticas sobre el flujo de células. Las células se identifican mediante 13 bits de los campos VPI y VCI de las células [7], lo que permite hasta un máximo de 8K canales diferentes. Internamente dispone de una memoria de 2K palabras de 24 bits, per-

mitiendo 6 bits de control por canal que indican: si la célula debe propagarse, si debe extraerse, su prioridad, si debe rechazarse al superarse un umbral programable en la memoria externa, y la habilitación y estado del descarte selectivo. El descarte selectivo implica que una vez que se ha rechazado un célula dentro de un paquete, deben rechazarse las restantes células hasta el final del paquete (indicado por un valor determinado del PTI [7]).

La interfaz de microprocesador controla las comunicaciones con micros de la familia 680x0. Permite programar los diferentes modos de funcionamiento y la obtención de medidas estadísticas mediante el acceso a los registros internos del AMDA. Asimismo, maneja la detección de condiciones erróneas mediante el sistema de interrupciones. El AMDA dispone de un total de 31 registros de 8 bits.

El bloque de generación de relojes se encarga de generar los diferentes relojes internos de operación del AMDA, a partir del reloj de transmisión (TxClk) que actúa como reloj principal del sistema, así como de generar señales de *reset* de forma síncrona con dichos relojes a partir del *reset* asíncrono del sistema y el *reset software* del circuito. El reloj interno del flujo de datos de alta velocidad (de frecuencia 7/27 la

frecuencia de TxClk) se para cuando se activa la señal  $\overline{\text{TxFull}}$  de la interfaz de transmisión, de forma que se interrumpe el procesamiento interno del AMDA (en el camino de alta velocidad). Además se genera un reloj de la mitad de frecuencia de TxClk para la interfaz de micro, el MAC y las FIFOs, cuyo proceso no se interrumpe aunque se active  $\overline{\text{TxFull}}$ .

El bloque de control de Test es el encargado de generar las señales de control internas para las pruebas de fabricación y BIST de las memorias.

### 3. Datos físicos

El circuito ha sido desarrollado con la tecnología LCB500K de LSI-Logic (CMOS de 0,5  $\mu\text{m}$ ). Contiene 34800 puertas equivalentes, 48 Kbit de memoria de simple puerto y 8,5 Kbit de memoria de doble puerto, ocupa una área de 6,7 x 6,7 mm y está encapsulado en un QFP metálico de 208 pines, de los cuales 42 son entradas, 35 salidas, 60 bidireccionales, (137 funcionales) 31 de alimentación y 37 de masa y 3 están sin conectar. Los pines de entrada/salida de las interfaces de alta velocidad son PECL de 3.3 V, los restantes son LVTTTL.

### Agradecimientos

Este trabajo ha sido parcialmente financiado por el GAME dentro del marco del proyecto DRACO.

### Referencias

[1] C. Reillo, J. C. Díaz, J. Riesco, L. Merayo and P. Lizcano. "A 2.5 Gb/s Mux/Dmux Implemen-

tation for ATM Architectures". IEEE 1995 Global Telecoms. Conference (GLOBECOM 95). November 13-17, 1995. Singapore.

- [2] J. Riesco, J. L. Conesa, C. Reillo, J. C. Díaz, L. Merayo. "Simulación de una Red MTA Utilizando Verilog". X Congreso de Diseño de Circuitos Integrados y Sistemas (DCIS/SICD'95). Zaragoza 15-17 noviembre, 1995.
- [3] "Distributed queue dual bus (DQDB) subnetwork of a metropolitan area network (MAN)", IEEE Std. 802.6, Jul. 1990.
- [4] J. Riesco, L. Merayo, A. Alonso, J. L. Conesa. "ADAM, Algoritmo Distribuido de Acceso a un Medio compartido". Solicitud de Patente.
- [5] "UTOPIA, An ATM-PHY Interface Specification. Level 1", Version 2.01. Mar 21, 1994. The ATM Forum.
- [6] "UTOPIA, An ATM-PHY Interface Specification. Level 2", Version 0.8. Abril 10, 1995. The ATM Forum/95-0114R1.
- [7] "B-ISDN ATM Layer Specification". ITU-T Rec. I.361 (11/95).
- [8] "B-ISDN user-network interface - Physical layer specification". ITU-T Rec. I.432 (03/93).
- [9] Micron MT58LC32K32/36C5. 32K x 32/36 SYNCBURST SRAM. Hoja de catálogo. Rev 1/96.