

SIMULACIÓN DE UNA RED MTA UTILIZANDO VERILOG

Jacobo Riesco, José Luis Conesa, Christian Reillo, Juan C. Díaz, Luis Merayo.

Telefónica Investigación y Desarrollo

C/ Emilio Vargas, 6. 28043 Madrid.

Resumen.

El modelado y simulación de alto nivel es un elemento clave en las etapas iniciales de definición de un circuito integrado (*ASIC*) que vaya a formar parte de un sistema. En este artículo se presenta el modelado y simulación mediante Verilog de los elementos de multiplexación/demultiplexación de una red MTA (modo de transferencia asíncrono) de muy alta velocidad. El sistema está constituido por varios nodos MTA que agregan y extraen tráfico en un canal de 2.5 Gbit/s; y en el que cada nodo recibe el tráfico de un agregado de fuentes *on/off*. Se realizaron varias simulaciones con diferentes algoritmos para el control de acceso al canal común. Una vez determinado el algoritmo de acceso, se simularon diferentes patrones de tráfico para verificar el comportamiento del sistema. El análisis de los resultados se realizó por medio de un estudio estadístico de los histogramas de ocupación de las colas de tráfico de los nodos y las variaciones de retardo en las comunicaciones.

1. Introducción.

La red digital de servicios integrados de banda ancha (RDSI-BA) proporciona un acceso integrado que soporta una amplia variedad de servicios con características diferenciadas: servicios interactivos y no interactivos, de banda ancha y estrecha (por ejemplo video y voz), con tráfico continuo o a ráfagas (por ejemplo voz y datos), etc. Todos estos servicios tienen unos requisitos de calidad diferentes (por ejemplo la voz es muy sensible al retardo y su variación, mientras que es tolerable una cierta tasa de errores; por otro lado, los servicios de datos no suelen tener límites estrictos de retardo, pero requieren un alto grado de integridad).

El modo de transferencia asíncrono (MTA) es el método recomendado por la UIT para los sistemas de banda ancha [1, 2]. El MTA es una técnica de conmutación y multiplexación de paquetes, que permite una alta utilización de ancho de banda con una calidad satisfactoria para los usuarios finales. Por medio de una multiplexación estadística, varias fuentes individuales pueden compartir un enlace de alta velocidad de transmisión con capacidad menor que la suma de sus velocidades de pico. Mediante la asignación estadística de ancho de banda, puede

obtenerse una ganancia de multiplexación significativa, especialmente en el caso de fuentes de tráfico a ráfagas. Este modo de operación es especialmente atractivo en comparación con el modo de transferencia síncrono (MTS), dado que en el MTS se asignan recursos físicos de la red durante toda la conexión. No obstante, el MTA, requiere estrategias efectivas para el control de la congestión. Las situaciones de congestión se producen cuando dos o más células (una célula es la unidad básica de transferencia de información) procedentes de fuentes diferentes, se dirigen simultáneamente al mismo destino. Una de dichas células se procesa inmediatamente mientras que las restantes deben almacenarse en una cola de tipo FIFO.

El trabajo del presente artículo está motivado por la implementación de un circuito integrado (*ASIC* AMDA) para la multiplexación y control de acceso a un canal MTA de muy alta velocidad (2,5 Gbit/s) y la extracción (demultiplexación) de flujos MTA de dicho canal. Este *ASIC* podrá ser utilizado para comunicaciones de alta velocidad en placas (*backplanes*) o redes de área local/metropolitana (*LAN/MAN*).

El diseño de *ASICs* para aplicaciones MTA requiere la realización previa de estudios teóricos y extensivas simulaciones de alto nivel para determinar la funcionalidad del circuito, los algoritmos de procesamiento de tráfico y las dimensiones de las colas (*FIFOs*) que garanticen una probabilidad de pérdida de paquetes (células) lo suficientemente baja.

En este artículo se presentan el modelado y simulación de los elementos de multiplexación y demultiplexación de una red una red MTA, y los resultados obtenidos con los diferentes modelos, utilizando Verilog como herramienta para la descripción y simulación de alto nivel. En primer lugar se describe brevemente la funcionalidad de los nodos de la red (*ASIC* multiplexor/demultiplexor AMDA), a continuación se describen el entorno y los modelos de simulación y por último se presentan los resultados obtenidos en las simulaciones.

2. Descripción de la funcionalidad del AMDA.

Las funciones básicas del circuito multiplexor/demultiplexor MTA de alta velocidad (AMDA), son

las de agregar/segregar fuentes MTA de baja velocidad (hasta 622 Mbit/s) en/desde un flujo MTA de 2.5 Gbit/s.

En modo multiplexor, se agrega el tráfico de las fuentes de baja velocidad al canal de alta velocidad. En este caso, la fuente de baja velocidad enviará células al AMDA que se almacenarán en su FIFO interna. Cuando haya una célula completa almacenada en dicha FIFO, deberá esperarse la llegada de una célula vacía por el canal de alta velocidad, procediendo a sustituirla por una célula de la fuente. Dentro de la función de multiplexación ocupa un lugar preponderante el mecanismo de control de acceso al medio común (CAM), que debe asegurar a todos los nodos una probabilidad similar de insertar su tráfico, independientemente de su posición en la red. Este control debe ser distribuido, de forma que el número de nodos sea fácilmente escalable, a la vez que se aumenta la fiabilidad de la red. Existen diversos algoritmos para la implementación de un CAM distribuido, y el objetivo de este trabajo fue verificar las prestaciones de diferentes algoritmos mediante simulaciones estadísticas. Idealmente el algoritmo debe minimizar la probabilidad de pérdida de células y la variación del retardo de transmisión, garantizando un reparto equitativo del ancho de banda disponible.

En modo demultiplexor, se verifica la cabecera de las células del canal MTA de alta velocidad, y se extraen las destinadas al nodo. Las células extraídas pueden eliminarse del canal (sustituyéndolas por células vacías) o dejarse en él (permitiendo así comunicaciones punto a multi-punto) en función de la programación. Para desacoplar las velocidades del canal de alta velocidad y el receptor de baja velocidad, una FIFO permite almacenar las células entrantes, presentando los datos al receptor a la velocidad adecuada.

Cada uno de los nodos de una red contendría dos AMDAs uno configurado como multiplexor y otro como demultiplexor. Todos ellos se unen en un bus como se representa en la Fig. 1.

3. Descripción del entorno de simulación.

Los parámetros que se deseaban obtener de la simulación eran: el nivel máximo de ocupación de las colas internas, la variación de retardo, y la dependencia de ambos parámetros con la posición del nodo.

El modelo de simulación utilizado para obtener estas medidas es el que se muestra en la Fig. 2. El primer multiplexor recibe un flujo continuo de células vacías a 2.5 Gbit/s por el canal de alta velocidad. Cada uno

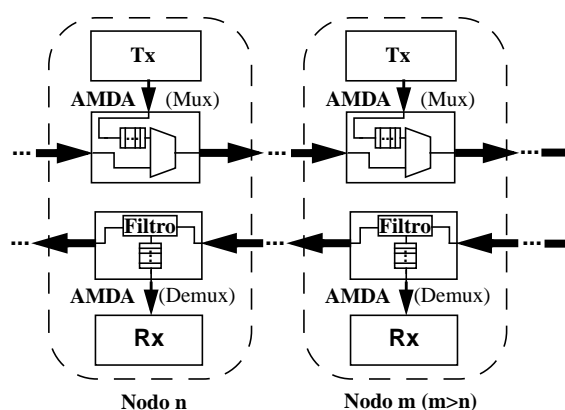


Figura 1: Red MTA

de los multiplexores agrega el tráfico procedente de su fuente de baja velocidad (622 Mbit/s) sustituyendo las células vacías del canal de alta velocidad por células de la fuente. El multiplexor extrae células del canal de alta velocidad hacia el analizador a 622 Mbit/s. El modelo se describió utilizando Verilog HDL, y se simularon 16 multiplexores idénticos, cada uno de ellos conectado a una fuente de tráfico MTA, y un solo demultiplexor. Cada una de las fuentes de tráfico se compone a su vez de 16 procesos diferentes, para simular el comportamiento estadístico del tráfico. El analizador se encarga de realizar las medidas del retardo de transmisión.

Teniendo en cuenta que las probabilidades de pérdida de células que se pretenden obtener en un sistema MTA deben estar por debajo de 10^{-9} , es necesario que las simulaciones de sistema manejen varios millones de células para que los valores estadísticos obtenidos puedan ser significativos. Esto obliga a simplificar de forma drástica tanto los modelos del ASIC (funcionando como mux y demux) como los de las fuentes y analizador de tráfico.

Para validar los resultados obtenidos por Verilog, se realizaron comparaciones con los resultados obtenidos simulando el mismo modelo con GPSS, verificándose que los resultados son prácticamente idénticos en todos los escenarios. Debido al número de eventos que es necesario simular, ha sido imprescindible deshabilitar la generación de formas de onda en Verilog, siendo necesario que cada bloque calcule datos estadísticos y los presente de manera resumida.

3.1. Descripción del modelo del multiplexor.

Como se mencionó anteriormente, son dos los parámetros a medir en el sistema. Por una parte interesa saber la ocupación de las FIFOs. Dado que inicialmente no existía una estimación de dicha

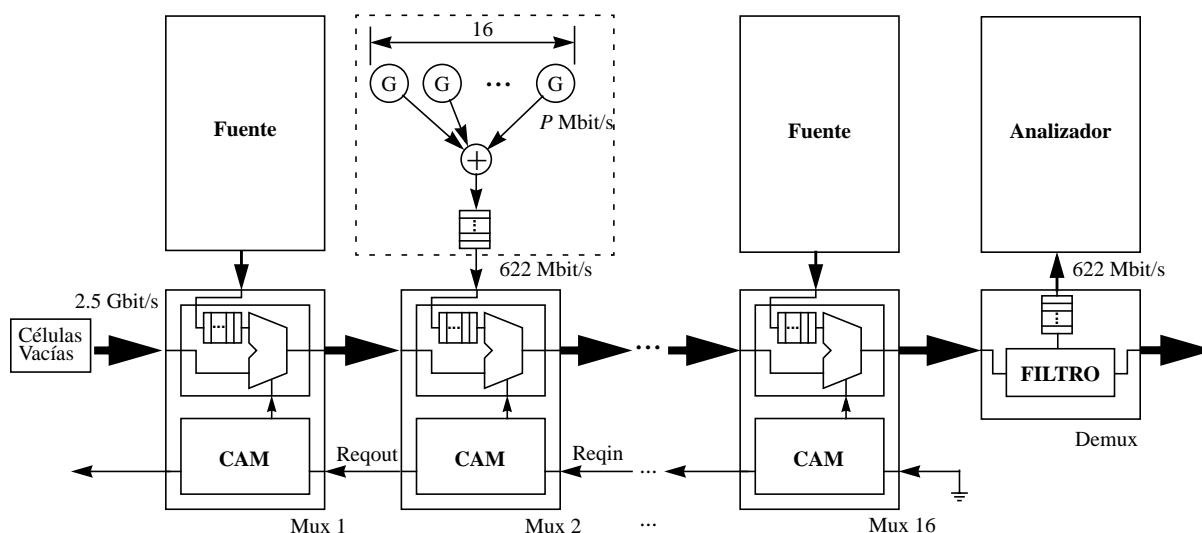


Figura 2: Entorno de simulación

ocupación, se modelaron FIFOs de tamaño infinito (limitado solo por la memoria del ordenador). Por otra parte, para poder obtener una medida del retardo, cada célula que llega al multiplexor, se marca con el instante de llegada además de una etiqueta que identifica el destino, siendo este su único contenido. Los histogramas de ocupación de la FIFO miden la probabilidad de que en el instante de llegada de una célula, haya N células en dicha FIFO. Estos histogramas se calculan utilizando una matriz de contadores, incrementándose el correspondiente a la ocupación de la FIFO en el momento de llegada de cada nueva célula.

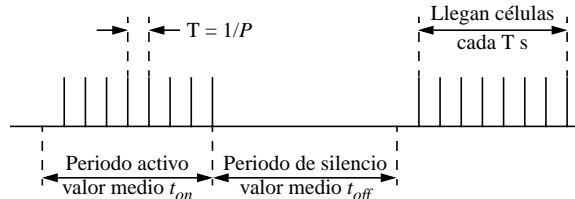
Además de esta FIFO, el modelo del multiplexor incluye la descripción del CAM, cuyo algoritmo es el que se trata de determinar. Como algoritmo de partida se utilizó el DQDB (*Distributed Queue Dual Bus*), que es la arquitectura básica recomendada por el IEEE para las redes de área metropolitana [6]. Este algoritmo trata de mantener una cola global, distribuida entre los diferentes nodos de la red, con una disciplina de servicio de tipo *round-robin*. Para mantener la cola global, cada AMDA debe informar a los que le preceden (en el sentido del flujo de datos. Ver Fig. 2) de que tiene una nueva célula para transmitir, mediante el envío de peticiones de acceso al medio (*requests*). En respuesta a estas peticiones los AMDAs anteriores deben dejar pasar algunas células vacías aun cuando ellos tengan tráfico para insertar, de forma que los nodos situados al final de la cadena, tengan posibilidades de insertar sus células.

En la práctica, debido a los retardos de propagación de la red, se produce un comportamiento muy dependiente de la posición [7-10], por lo que se probaron diversas modificaciones de este mismo algoritmo.

3.2. Descripción del modelo de fuentes de tráfico MTA.

Existen diferentes modelos para la caracterización de fuentes de tráfico MTA [3, 4]. Estos modelos deben ser lo suficientemente flexibles para tener en cuenta una gran variedad de servicios; el tráfico de video es especialmente problemático debido a su naturaleza no Poissoniana. Uno de los modelos elementales más ampliamente conocido y utilizado para el modelado de tráfico MTA es el de la fuente *on-off*. De acuerdo con dicho modelo, una fuente alterna entre estados de actividad (*on*) y reposo (*off*); solamente se generan células durante los periodos activos. Si bien existen modelos más precisos [3], raramente se usan debido a su complejidad. El modelo *on-off*, que surge como modelo de transmisión de datos, ha sido utilizado con éxito para la descripción de tráfico de voz [5], y se puede deducir [4] que una fuente de video puede modelarse por medio de un número de fuentes *on-off* idénticas e independientes. Por esta razón se han utilizado 16 generadores de tráfico *on-off* independientes para modelar una fuente.

El flujo de células de una fuente *on-off* se modela como sigue (ver Fig. 3): el periodo de tiempo durante el cual se generan células sigue una distribución exponencial con media t_{on} , durante este periodo se generan células con una tasa binaria P . Después de la

Figura 3: Modelo *on/off*

generación sigue un periodo de silencio con distribución exponencial de media t_{off} . El tráfico de cada fuente es en media $B = P t_{on}/(t_{on}+t_{off})$, y se define el factor de pico (*burstiness*) como la relación entre el tráfico de pico y el medio, es decir, $b = P/B = (t_{on}+t_{off})/t_{on}$. Cuanto mayor es este parámetro, mayor es la probabilidad de saturación del canal para un mismo tráfico medio, si bien aumenta la ganancia estadística que se puede obtener (a costa de aumentar el tamaño de las FIFOs y la variación del retardo).

Los generadores *on/off* son parametrizables para permitir realizar pruebas con diferentes modelos de tráfico. Los parámetros programables son los tiempos medios de duración de la ráfaga (t_{on}) y de silencio (t_{off}), así como la tasa binaria durante el tiempo activo (P).

En función de estos parámetros y mediante la utilización de la función estadística de Verilog “*\$dist_exponential*”, se calculan los instantes en que se deben generar las células. Como paso previo, se caracterizó dicha función para comprobar los márgenes en los que aproxima correctamente la distribución teórica, detectándose en general una aproximación suficiente excepto en el origen.

El modelo completo de la fuente se compone de 16 generadores *on/off* y una FIFO. Esta FIFO tiene 16 puertos de entrada y uno de salida que se lee a 622 Mbit/s. De esta forma se asegura que no se supera en ningún caso la máxima velocidad de la interfaz de entrada del AMDA. Para garantizar que cada uno de los generadores *on/off* funciona de forma independiente (no correlacionada) de los demás, se pasa como semilla para calcular el siguiente evento, el último valor devuelto para ese generador concreto. En caso contrario, dos llamadas a la función aleatoria realizadas desde dos generadores distintos, obtendrían valores consecutivos de la misma secuencia pseudoaleatoria.

3.3. Descripción del modelo del demultiplexor.

El modelo del AMDA como demultiplexor consta de un filtro y de una FIFO. El filtro determina en función del valor de la célula si debe extraerla hacia la FIFO o si debe dejarla en el canal de alta velocidad. El filtrado se ha hecho parametrizable en el modelo de forma que puedan simularse diferentes configuraciones. En cuanto a la FIFO es análoga a la del multiplexor, utilizándose el mismo mecanismo para la obtención de las estadísticas de ocupación. Esta FIFO debe ser capaz de absorber los picos de tráfico y adaptar las velocidades de las dos interfaces (2,5 Gbit/s para el canal de alta velocidad y 622 Mbit/s en el de baja velocidad).

3.4. Descripción del modelo del analizador.

Este bloque se encarga de calcular el histograma con la información del retardo de las células. Para ello calcula la diferencia entre el instante en el que cada célula entró en algún multiplexor, y el instante en que sale del demultiplexor. El mecanismo que se utiliza para el cálculo de este histograma es análogo a los descritos anteriormente.

4. Descripción de los resultados de simulación.

La primera simulación estaba orientada a la medida del tráfico total agregado al canal de alta velocidad. Esta simulación se hizo para verificar la validez de los modelos de la fuente y multiplexor. Para ello se programaron los parámetros de los generadores de tráfico con las condiciones de la tabla 1. En todas las condiciones, el tráfico medio de cada fuente es igual a 8.33 Mbit/s, de forma que la ocupación media (ρ) del canal de alta velocidad es del 86%, variando el factor de pico (tasa binaria de pico y tiempos medios de actividad e inactividad) de un caso a otro.

Tabla 1: Condiciones de tráfico

Cond	P (Mbit/s)	t_{on} (ms)	t_{off} (ms)	b	B (Mbit/s)
1	100	0.5	5.5	12	8.33
2	50	1.0	5.0	6	8.33
3	25	2.0	4.0	3	8.33

Las distribuciones de tráfico obtenidas tras una simulación de 8 millones de células se muestran en la Fig. 4. En ella se puede apreciar que el tráfico generado es de tipo gaussiano, como corresponde a la superposición de un número elevado de distribuciones binomiales. La media de la tasa binaria es en los tres casos muy próxima al valor medio teórico de dicha gaussiana (2133 Mbit/s). El grado de saturación del canal, es decir el área bajo la curva de distribución para frecuencias superiores a

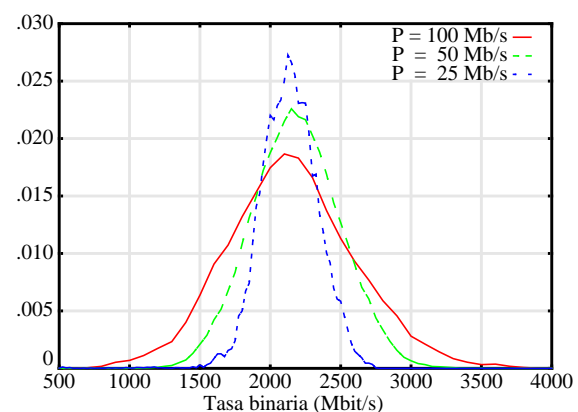


Figura 4: Distribuciones de tráfico

2,5 Gbit/s, es mayor cuanto mayor es la velocidad de pico de las fuentes y el factor de pico. Cuanto mayor sea la saturación del canal, mayor será la longitud de las colas de los multiplexores y por tanto la variación del retardo.

4.1. Simulación de los multiplexores

Es necesario estimar el tamaño de las FIFOs de los multiplexores, de forma que la probabilidad de pérdida de células procedentes de las fuentes sea del orden de 10^{-9} o inferior. Se trató de determinar en primer lugar cual es el algoritmo de control de acceso al medio (CAM) que produce una menor ocupación de las FIFOs y una mayor independencia de los tamaños de dichas FIFOs con la posición del nodo. Los algoritmos estudiados son el *DQDB*, *BWB* y *FCFS*

El mecanismo de balanceo de ancho de banda (*BWB*) es una modificación del *DQDB* original para tratar de asignar el ancho de banda total de la red entre los diferentes nodos de forma más independiente de la posición [7]. Tiene como inconvenientes que se desperdicia parte del ancho de banda de la red (en función de un parámetro denominado módulo: *MOD*), y se aumentan los retardos. Para tratar de paliar estos inconvenientes se probaron nuevas variaciones sobre el *DQDB* pero con una disciplina de servicio de tipo *first-come-first-served* (*FCFS*). En las Figs. 5 y 6 se representan los resultados de las simulaciones.

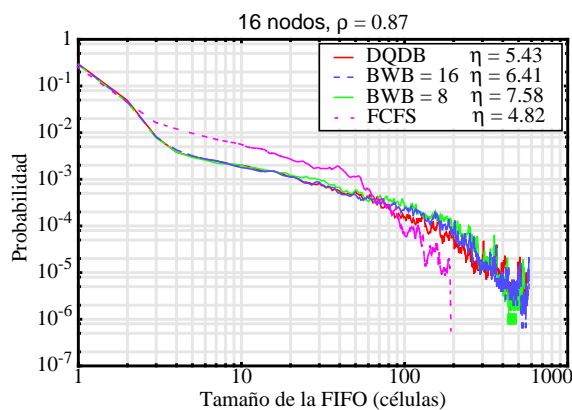


Figura 5: Histogramas de ocupación de las colas

En la gráfica de la Fig. 5 se muestran las medias de los histogramas de ocupación de todos los multiplexores, y los valores medios (η) de ocupación de las FIFOs para los algoritmos *DQDB*, *BWB* con módulos 16 y 8, y *FCFS*. De las medidas se observa que cuanto menor es el valor del módulo del *BWB* (el *DQDB* equivale al *BWB* con módulo infinito) son mayores los tamaños de las colas y las medias de ocupación. Por otra parte se observa también que los tamaños máximos, y también la media de ocupación de las colas, son mucho menores con el algoritmo *FCFS* que con el *DQDB*. Por tanto desde el punto de vista de ocupación de las FIFOs, el algoritmo *FCFS* es muy superior al *DQDB* y este, a su vez, es ligeramente superior al *BWB*. Los resultados

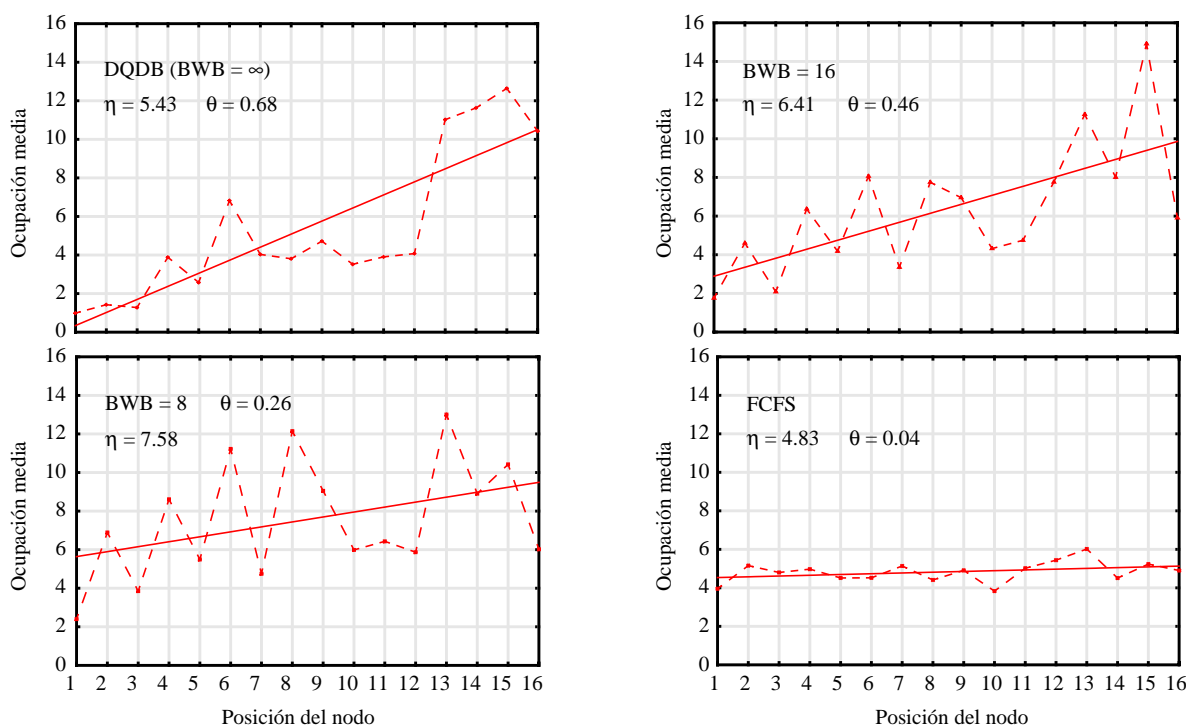


Figura 6: Efecto de la posición del nodo

obtenidos podrán ser extrapolados posteriormente mediante diversas técnicas [11], para determinar la calidad de servicio requerida (tamaño de la FIFO para una probabilidad de pérdida de 10^{-9}).

En la Fig. 6 se representan (con puntos unidos con trazos discontinuos) las medias de ocupación de las FIFOs en función de la posición del nodo (según el sentido del flujo de datos). En cada una de las gráficas aparece también la media de ocupación de los multiplexores de los 16 nodos (η) y la pendiente (θ) de la recta de interpolación (representada con trazo continuo). Se puede apreciar que el algoritmo *DQDB* presenta una fuerte dependencia con la posición del nodo, dependencia que se atenúa con el mecanismo de *BWB* a medida que se disminuye el módulo, y es casi nula con el algoritmo *FCFS*. De los resultados de las Figs. 5 y 6 se puede concluir que el algoritmo *FCFS* es el más adecuado para el control de acceso al medio en la red MTA.

Una vez determinado el algoritmo a emplear, se realizaron con éste simulaciones de las diferentes condiciones de tráfico descritas en el apartado precedente para verificar su efecto sobre el tamaño de las colas. En la Fig. 7, se muestran las medias de los histogramas de ocupación de las FIFOs de los 16 multiplexores para las diferentes condiciones de tráfico. Se observa que los tamaños de las colas son mayores al crecer la velocidad y el factor de pico, como cabría esperar, pues el porcentaje de saturación del canal crece con estos factores, y al saturarse el canal las FIFOs crecen muy rápidamente.

4.2. Simulación de los demultiplexores

De forma análoga a los multiplexores, es necesario estimar el tamaño de las FIFOs de los demultiplexores, de forma que la probabilidad de pérdida de células extraídas del canal sea de 10^{-9} o inferior. Como en el caso anterior dicha estimación se hace por medio de simulaciones extensivas en la

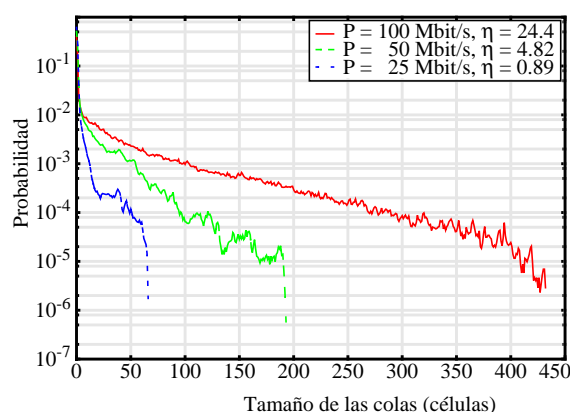
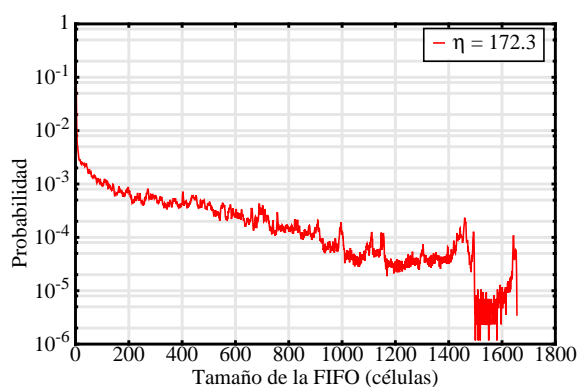


Figura 7: Ocupación de las FIFOs con diferentes condiciones de tráfico

que el tráfico medio que extrae cada demultiplexor es una cuarta parte del tráfico medio de la red, es decir $2488,32 \times 0,86 / 4 = 622,08 \times 0,86 = 535$ Mbit/s. Este tráfico es generado con los parámetros de las condiciones número 2 de la tabla 1. El tráfico de pico es obviamente igual a la capacidad de la red (2,5 Gbit/s). Los valores presentados corresponden como en el caso del multiplexor a simulaciones de 2 millones de células.

En la Fig. 8 se muestra el histograma y el valor medio de ocupación (η) de las FIFOs de los demultiplexores y la variación del retardo de las células (*CDV*). Se observa que los tamaños de las colas de demultiplexación son muy grandes, mucho mayores que las de los multiplexores estudiadas en el apartado anterior, y por tanto tienen un efecto dominante sobre el retardo.

Conclusiones

En el presente trabajo se presenta la utilización de Verilog como lenguaje de simulación de muy alto nivel de una red MTA. Verilog es un lenguaje comúnmente utilizado para la descripción y

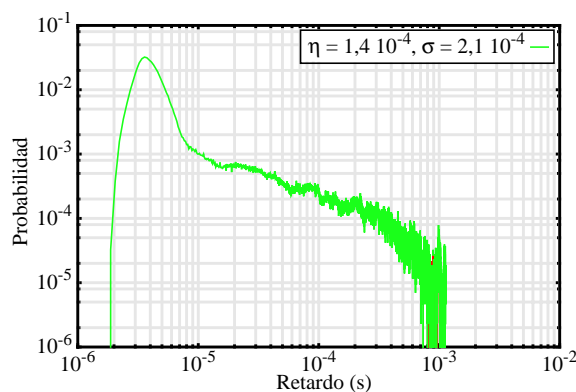


Figura 8: Ocupación de la FIFO del demultiplexor y retardo

simulación de sistemas *hardware* (HDL), no obstante es un lenguaje de diseño *top-down* que soporta diferentes niveles de abstracción: descripciones funcionales, estructurales y mezcla de ambas, y por tanto se integra fácilmente en todas las etapas de diseño de un ASIC. La utilización de Verilog es una forma eficiente para la realización de simulaciones de alto nivel, pues permite la implementación de modelos de forma rápida y sencilla. Además, aunque el simulador utilizado (Verilog-XL) es un intérprete, los tiempos de simulación son razonables (aproximadamente 300 000 células por hora de CPU en una SUN Sparc-5 con 64 Mbytes de RAM). Estos tiempos podrían mejorarse significativamente con un simulador compilado.

Agradecimientos

Este trabajo ha sido parcialmente financiado por el GAME dentro del marco del proyecto DRACO.

Referencias

- [1] "Aspectos de banda ancha de la RDSI", CCITT, Recomendación I.121, Ginebra, 1991.
- [2] M. de Prycker, "Asynchronous transfer mode: solution for broadband ISDN", Ed. Ellis Horwood.
- [3] E. Sykas, K. Vlakos, N. Anerousis, "Performance evaluation of statistical multiplexing schemes in ATM networks", *Computer Commun.*, vol. 14, no. 7, Jun. 1991.
- [4] B. Maglaris, D. Anastassiou, P. Sen, G. Karlsson, J. Robbins, "Performance models of statistical multiplexing in packet video communications", *IEEE Trans. Commun.*, vol. 36, no. 7, Jul 1988.
- [5] R. Tucker, "Accurate method for analysis of packet voice communication systems", *IEEE J. Selected Areas in Commun.*, vol. 4, no. 6, Sept. 1986.
- [6] "Distributed queue dual bus (DQDB) subnetwork of a metropolitan area network (MAN)", IEEE Std. 802.6, Jul. 1990.
- [7] C. Bisdikian, "A performance analysis of the IEEE 802.6 (DQDB) subnetwork with the bandwidth balancing mechanism", *Computer Networks and ISDN Systems* 24, 1992.
- [8] V. Phung, R. Breault, "On the unpredictable behaviour of DQDB", *Computer Networks and ISDN Systems* 24, 1992.
- [9] S. Banerjee, B. Mukherjee, "Incorporating continuation-of-message information, slot reuse, and fairness in DQDB networks", *Computer Networks and ISDN Systems* 24, 1992.
- [10] T. Huang, J. Wu, "Priority promotion DQDB networks to improve fairness", *Computer Commun.*, vol 17, no. 5, Mayo 1994.
- [11] I. Berberana, "Application of extreme value theory to the analysis of a network simulation". Proceedings of the 23 Annual Simulation Symposium, Nashville, Tennessee, Abril 1990,