

Exercícios do Capítulo V - O Nível da Arquitetura do Conjunto de Instruções
Livro texto: Organização Estruturada de Computadores
Andrew S. Tanenbaum

1. (Fonte: Tanenbaum Cap.5 ex.3)

É possível elaborar um esquema de expansão do código de operação que permita que as instruções seguintes sejam codificadas em 12 bits? Uma referência a registrador gasta 3 bits.

4 instruções com três registradores

255 instruções com um registrador

16 instruções sem referência a registrador

Resposta:

Não. Porquê?

2. (Fonte: Tanenbaum Cap.5 ex.4)

Certa máquina tem instruções de 16 bits e endereços de 6 bits. Algumas instruções referenciam um endereço e outras referenciam dois. Se essa máquina tiver "*n*" instruções de dois endereços qual será o número máximo de instruções de um endereço que ela poderá ter?

Resposta:

$(2^{10} - 2^6 n)$

3. (Fonte: Tanenbaum Cap.5 ex.5)

Conhecida as características de memórias mostradas a seguir, a serem usadas em uma máquina de um endereço com acumulador, pergunta-se: quais valores serão carregados no acumulador após a execução das seguintes instruções?

a palavra 20 contém o valor 40

a palavra 30 contém o valor 50

a palavra 40 contém o valor 60

a palavra 50 contém o valor 70

- a. LOAD IMMEDIATE 20
- b. LOAD DIRECT 20
- c. LOAD INDIRECT 20
- d. LOAD IMMEDIATE 30
- e. LOAD DIRECT 30
- f. LOAD INDIRECT 30

Respostas:

a. 20 b. 40 c. 60 d. 30 e. 50 f. 70

4. (Fonte: Tanenbaum Cap.5 ex.16)
Quantos registradores deve ter a máquina cujos formatos de instrução estão na figura 5-24 anexa? **Resposta:** 32.
5. (Fonte: Tanenbaum Cap.5 ex.17)
Na figura 1, o bit 23 é usado para distinguir o formato de instrução número 1 do formato número 2. No entanto, não há qualquer bit para diferenciar o formato número 3. Como o hardware identifica esse formato?
6. (Fonte: Tanenbaum Cap.5 ex.19)
O Pentium II tem um código de condição que verifica se o bit 3 gerou um carry após a execução de uma operação aritmética. Qual a utilidade desse código de condição?
7. (Fonte: Tanenbaum Cap.5 ex.23)
Considere o número binário 1001 0101 1100 0011 de 16 bits e mostre o efeito sobre ele das seguintes operações:
- a. Um deslocamento à direita de 4 bits sem extensão de sinal.
 - b. Um deslocamento à direita de 4 bits com extensão de sinal.
 - c. Um deslocamento à esquerda de 4 bits.
 - d. Uma rotação à esquerda de 4 bits.
 - e. Uma rotação à direita de 4 bits.
8. (Fonte: Monteiro Cap.8 ex.1)
Cite uma possível vantagem do emprego de instruções com menor quantidade de operandos.
9. (Fonte: Monteiro Cap.8 ex.8)
Considere as instruções definidas a seguir (de um operando):
- | | |
|---------|------------------------------|
| LDA Op. | $ACC \leftarrow (Op.)$ |
| STA Op. | $(Op.) \leftarrow ACC$ |
| ADD Op. | $ACC \leftarrow ACC + (Op.)$ |
| SUB Op. | $ACC \leftarrow ACC - (Op.)$ |
| MPY Op. | $ACC \leftarrow ACC * (Op.)$ |
| DIV Op. | $ACC \leftarrow ACC / (Op.)$ |

Deduz a equação matemática cuja solução resultou no seguinte programa, criado com essas instruções:

```
LDA A
ADD C
STA X
LDA B
MPY D
SUB E
```

STA Y
LDA X
ADD Y
DIV F
STA X

Resposta: $X = (A + C + (B * D - E)) / F$

10. (Fonte: Monteiro Cap.8 ex.10)

Em um determinado processador, há instruções que usam o modo de endereçamento base mais deslocamento, cada uma possuindo um tamanho de X bits. Desses X bits, a bits identificam o código da operação; b bits especificam o endereço do registrador usado como base; c bits são empregados para o campo de deslocamento. Considerando que o barramento de endereços possui y bits, que fração da MP pode ser endereçada sem que sejam alterados os conteúdos dos registradores-base existentes nesse processador?

Resposta: 2^c

11. (Fonte: Jacinto)

Represente o número decimal -12 em complemento de 2 em um campo de 5 bits. Observe que esse campo pode utilizado para o modo de endereçamento imediato. Uma instrução em alto nível $I = I - 12$ poderia ser compilada/traduzida gerando esse campo na instrução de baixo nível.

Resposta: 10100

12. (Fonte: Tanenbaum Cap.5 ex.2)

Elabore um esquema de expansão do código de operação para permitir que os formatos de instruções mostrados a seguir sejam codificados em 36 bits:

7 instruções com dois endereços de 15 bits e um número de registrador de três bits.

500 instruções com um endereço de 15 bits e um número de registrador de três bits.

50 instruções sem referência a endereço ou a registrador.

13. (Fonte: Jacinto)

Um determinado esquema de codificação das instruções reserva 8 bits para o opcode. Qual o número máximo de instruções diferentes suportadas por esse esquema?

Resposta: 256

14. (Fonte: Jacinto)

O que vem a ser instrução?

15. (Fonte: Jacinto)

Quais os tipos de dados mais comum suportados diretamente pelo hardware do processador?

16. (Fonte: Jacinto)

O que vem a ser registradores?

Utilizando a arquitetura Intel, de exemplos de registradores de propósito geral e dedicados.

17. (Fonte: Jacinto)

Converta o número decimal -1492 em:

- a. Binário na base 2 sem sinal.
- b. Binário na base 2 com sinal (SM - Signal + Magnitude).
- c. Binário na base 2 com sinal (C1 - Complemento de um).
- d. Binário na base 2 com sinal (C2 - Complemento de dois).
- e. Porque para codificar decimal em binário com sinal a técnica mais utilizada é em complemento de 2?

18. Converta o número decimal $5/32$ em binário na base 2 em representação em ponto flutuante, seguindo a norma IEEE 754 - precisão simples.

Resposta: $3EA00000_H$

19. O que vem a ser codificação em BCD?

Represente o decimal 1492 nessa representação.

Resposta: Byte MSB: 00010100 Byte LSB: 10010010

20. (Fonte: Jacinto)

O programa assembly da figura 5-17 abaixo calcula a soma dos elementos de um vetor. Especifique para cada instrução qual o tipo de endereçamento de cada operando. Assuma que as instruções são de dois operandos.

```

MOV R1,#0    ; accumulate the sum in R1, initially 0
MOV R2,#A    ; R2 = address of the array A
MOV R3,#A+1024; R3 = address if the first word beyond A
LOOP:        ADD R1,(R2); register indirect through R2 to get operand
             ADD R2,#4   ; increment R2 by one word (4 bytes)
             CMP R2,R3   ; are we done yet?
             BLT LOOP    ; if R2 < R3, we are not done, so continue

```

Figure 5-17. A generic assembly program for computing the sum of the elements of an array.

21. (Fonte: Jacinto)

Utilizando a figura 5-33 anexa (Amostra das instruções inteiras do PII) relacione quais os tipos de instruções suportadas pelo PII.

22. (Fonte: Jacinto)

Qual a diferença entre as instruções de deslocamento e de rotação?

23. (Fonte: Jacinto)

Consultando a lista de instruções do Pentium II anexa, informe o valor armazenado no registrador AX após a execução das seguintes instruções abaixo. Considere AX inicialmente esteja com o valor $0EFE_{16}$

Dica: Utilize o programa emu8086 - Vide figura 3 anexa.

A. ROR AX, 10

- B. ROL AX, 10
- C. SAR AX, 10
- D. SAL AX, 10

Resposta:

A. $BF83_{16}$

B. $F83B_{16}$

C. 0003_{16}

D. $F800_{16}$

24. (Fonte: Jacinto)

Um determinado processador implementa suas instruções baseadas em estrutura de pilha. Dadas as seguintes variáveis inteiras: $A = 0$, $B = 2$, $C = 4$ e $D = 6$. Pergunta-se qual será o valor da variável A após a execução do seguinte trecho de código:

```
Begin: PUSH B
        PUSH C
        PUSH D
        MUL
        ADD
End:   POP A
```

Resposta:

26

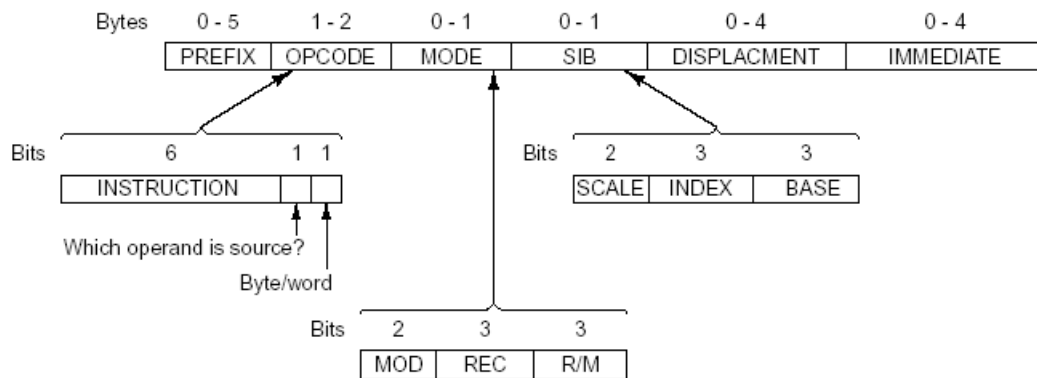


Figure 5-13. The Pentium II instruction formats.

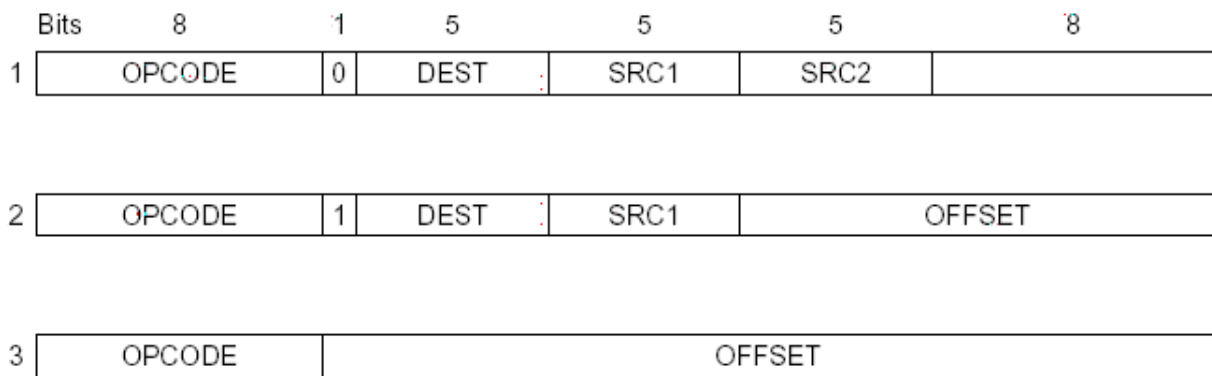


Figure 5-24. A simple design for the instruction formats of a three-address machine.

