



## **Intel rompe a barreira dos 90 nanômetros**

**Data:** Terça, 31 de agosto 2004 as 08:13:04

**Tópico:** Intel

A Intel vai diminuir ainda mais o processo de fabricação dos seus chips. A companhia apresentou na semana passada o atual estágio de desenvolvimento do seu processo de fabricação de 65 nanômetros (nm). De acordo com a Intel, o projeto está em fase avançada e os primeiros produtos chegam ao mercado já em 2005.

É a lei de Moore em ação de novo. Uma parte da previsão feita por Gordon Moore, um dos fundadores da Intel, em 1965, diz que o tamanho médio dos componentes gravados em um chip - hoje em 90 nanômetros - tem uma redução de 30% a cada dois anos. Para se ter uma noção dessa grandeza, um nanômetro representa a centésima parte de um micron e um grão de poeira têm algo em torno de 100 microns.

Em uma teleconferência, Mark Bohr - diretor da divisão de arquitetura e de processos e integração da Intel - revelou detalhes sobre as várias tecnologias lógicas ligadas ao processo de 65 nm como a criação de transistores menores e mais velozes, o que permitirá reduzir pela metade o tamanho atual de um chip de 90 nm, aumentando produtividade do wafer ao mesmo tempo que reduz os custos de produção.

Do mesmo modo, poderia-se ocupar esse mesmo espaço do chip de 90 nm com o dobro de transistores, abrindo espaço para a implementação de novos recursos, melhorando assim o desempenho geral do processador. Mas para isso, a Intel pesquisou novas soluções que vão além do simplesmente fazer as coisas menores.

Por exemplo, ela aperfeiçoou sua tecnologia de Strained Silicon, que aplica diferentes modos de tensão física nos átomos de silício para melhorar seu desempenho. Essa idéia foi usada em dois tipos de transistores, o PMOS (Uniaxial Compressive Strain, onde os átomos são levemente pressionados) e o NMOS (Uniaxial Tensile Strain, onde os átomos são levemente tracionados). O termo Uniaxial refere-se ao fato que a força é aplicada em apenas uma direção.

Bohr explicou que o Strained Silicon no processo de 65 nm melhorou o fluxo de corrente entre 10% a 15% ao mesmo tempo que reduziu a fuga de corrente em aproximadamente 4 vezes. Isso resulta em um chip mais eficiente em termos de desempenho e consumo de energia.

Além disso, a Intel está adicionando uma oitava camada de interconexões metálicas de cobre nos seus chips de 65 nm (uma a mais que no processo anterior), utilizando material de baixa constante dielétrica (Low-K). O uso dessa substância reduz a capacitância das interconexões. Por consequência, isso também melhora o desempenho assim reduz o consumo.

Para colocar todas as idéias em prática, a Intel projetou um módulo de memória SRAM de

70 Mbit e o resultado final foi um chip de 110 mm<sup>2</sup> com quase 5 bilhões de transistores totalmente funcional (foto).

Nesse projeto também foi aplicada mais uma técnica de economia de energia, onde um transistor NMOS controla a alimentação de energia de um bloco de memória, literalmente desligando o mesmo quando fora de uso.

O processo de fabricação de chips de 65 nm em wafers de 300 milímetros será inicialmente implementado na Fab D1D, localizada em Hillsboro no Oregon (EUA). Ela será seguida pela Fab 12 do Arizona e pela Fab 24 da Irlanda.

Segundo Bohr, o processo de 65 nm ainda não utiliza a revolucionária tecnologia de impressão litográfica Extreme Ultra-Violet (EUV) e sim uma combinação de ferramentas de impressão de 193 nm e 248 nm conhecida como Deep Ultra-Violet (DUV). A diferença entre esses dois processos é o mesmo que comparar um traço de caneta ponta fina (EUV) com outro de pincel atômico (DUV).

Com tudo isso, ele afirma que a Intel está pronta para introduzir seus primeiros chips de 65 nm já em 2005, mas ele foi reticente em falar sobre quais seriam esses produtos.

Como a Intel já deixou claro sua intenção de lançar um chip dual-core (com dois núcleos) também em 2005, um bom palpite poderia ser o Yonah (ou Jonah), o primeiro Pentium-M dual-core para portáteis que poderia tirar muito proveito dos novos recursos de economia de energia do processo de 65 nm.

Mais detalhes sobre o processo de 65 nm e talvez do Yonah devem ser revelados na próxima edição do Intel Developers Forum, que ocorre de 7 a 9 de setembro em San Francisco, na Califórnia.

Este está hospedado em UnderLinux.com.br - O Portal do Administrador de Sistemas  
<http://underlinux.com.br>

O Link direto para este artigo é:  
<http://underlinux.com.br/modules.php?name=News&file=article&sid=3470>