

## TIPOS DE MEMORIAS

### Conceptos claves

Antes de hablar de los tipos de memoria (SDRAM, DDRAM o DDR y RDRAM) debemos ver una serie de conceptos básicos para entender el funcionamiento de ésta: el **ciclo de reloj**, la **ráfaga de datos** y las **latencias CAS y RAS**.

### CICLO DE RELOJ

Cuando hablamos de que la frecuencia del bus es de 66 MHz, de 100 MHz, de 133 MHz, etc lo que estamos realmente indicando es la duración de un ciclo de reloj. Por ejemplo, si el bus es de 133 Mhz, la duración del ciclo de reloj será de  $1000/133$ , es decir de 7,5 ns (nanosegundos). Veamos otros 3 casos:

- ❑ En un bus de 66 Mhz el ciclo de reloj dura  $1000/66$ , es decir 15 ns.
- ❑ En un bus de 100 Mhz el ciclo de reloj dura  $1000/100$ , es decir 10 ns.
- ❑ En un bus de 200 Mhz el ciclo de reloj dura  $1000/200$ , es decir 5 ns.



### NOTA: Equivalencia entre Mhz y nanosegundos

Muchos usuarios, como unidad de medida de la velocidad de los módulos de memoria, están acostumbrados a utilizar los **nanosegundos (ns)** en lugar de los **Mhz** que se utilizan hoy en día en la publicidad de los mismos. Para pasar de Mhz a ns podemos utilizar una sencilla regla:

1 Mhz = 1.000.000 de ciclos de reloj por segundo.

1 segundo = 1.000.000.000 de ns.

Si nuestro módulo de memoria trabaja a 66 Mhz lo multiplicamos por 1.000.000 para calcular los ciclos de reloj por segundo, en este caso sería 66.000.000.

Ahora si dividimos los nanosegundos que tiene un segundo entre el número de ciclos de reloj por segundo que alcanza nuestro módulo de memoria:

$$(1.000.000.000 \text{ ns por segundo}) / (66.000.000 \text{ ciclos de reloj por segundo}) = 15 \text{ ns}$$

### RÁFAGA DE DATOS

Cuando vimos la memoria caché, dijimos que cuando accede a memoria principal para cargar una línea de caché no sólo se trae el dato que no estaba en ésta sino también los adyacentes. En total, podrían traerse 8 datos, 4 datos,... dependiendo de la anchura de la línea de la caché y de la anchura del banco de memoria. Por ejemplo, si la anchura de línea de la caché es de 32 bytes (256 bits) y tenemos módulos de memoria principal DIMM168 (64 bits de anchura y uno por banco) harán falta 4 datos consecutivos de memoria principal para llenar una línea de caché. A estos datos consecutivos es a lo que llamamos **ráfaga** (en inglés, *burst*)

Si repasamos la estructura de los chips de un módulo de memoria, vemos que están estructurados en mallas (matrices) bidimensionales de celdas. Para coger el primer dato, primero se accede a la fila de cada una de las matrices y luego a la columna de cada una de dichas matrices, haciendo esto a la vez en cada uno de los chips que forman el módulo de memoria. *Los siguientes datos a mandar a la caché están todos en la misma fila que el primer dato*, por tanto, el tiempo necesario para tener el 2º dato, el 3º, etc será menor que para el 1º e igual para todos ellos (desde el 2º dato al último).

Así pues, para el acceso físico a una dirección de memoria, el controlador de memoria se encarga de traducir las direcciones lógicas del sistema operativo a direcciones físicas (Filas y columnas). El acceso a la memoria se realiza por filas y columnas. Cada dato de la *ráfaga (burst)* se direcciona fijando la fila y cambiando la dirección de columna.

Diremos también que para conseguir el primer dato han hecho falta “X” ciclos de reloj y para conseguir los siguientes, que faltan para llenar la línea de caché, “Y” ciclos (siempre la “Y” será menor que la “X”). Así pues, veremos que para analizar el rendimiento de las memorias se emplea el esquema “X-Y-Y-Y” (para 4 datos consecutivos de memoria principal). Está claro que la memoria ideal sería aquella que tuviese un esquema 1-1-1-1, es decir, necesita sólo 1 ciclo de reloj para cada dato, sin embargo en la práctica esto no es así (por ejemplo, la memoria EDO tiene un esquema 5-2-2-2, lo que quiere decir que son necesarios 5 ciclos para el primer dato, 2 ciclos para el 2º, 2 para el 3º y 2 para el 4º)

Veamos a continuación una tabla en la que se muestran los números de ciclos necesarios para obtener cada uno de los datos de una ráfaga en diferentes tipos de memoria. Es importante señalar que también existen, por ejemplo, SDRAM 4-1-1-1, DDR 5-0,5-0,5-0,5, DDR 4,5-0,5-0,5-0,5, DDR 4-0,5-0,5-0,5.

|              | 1º dato<br>(nº ciclos) | 2º dato<br>(nº ciclos) | 3º dato<br>(nº ciclos) | 4º dato<br>(nº ciclos) | Microprocesador<br>en el que suele<br>usarse esta memoria |
|--------------|------------------------|------------------------|------------------------|------------------------|-----------------------------------------------------------|
| RAM original | 5                      | 5                      | 5                      | 5                      | PC XT/AT                                                  |
| FPM          | 5                      | 3                      | 3                      | 3                      | 486                                                       |
| EDO          | 5                      | 2                      | 2                      | 2                      | Pentium                                                   |
| SDRAM        | 5                      | 1                      | 1                      | 1                      | Pentium II-III                                            |
| DDRAM (DDR)  | 5,5                    | 0,5                    | 0,5                    | 0,5                    | Pentium 4                                                 |
| Static RAM   | 2                      | 1                      | 1                      | 1                      | Caché                                                     |

Notar como el tiempo de acceso baja notablemente en la memoria estática debido, entre otras cosas, a la ausencia de ciclos de refresco.

Esto  
no  
vale  
para  
la  
caché,  
claro

**R**

#### **Ejemplo: Placa Pentium, bus de 66 MHz, Memoria FPM**

El ciclo de reloj será:  $1/66 \text{ MHz}$ , es decir, 15 ns. Por lo tanto se necesitan 75 ns para el primer dato del Burst ( $15 \text{ ns} \times 5 \text{ ciclos}$ ). Según la tabla, en los siguientes 3 datos emplea 9 ciclos de reloj ( $3 \text{ datos} \times 3 \text{ ciclos} = 9 \text{ ciclos}$ ,  $9 \text{ ciclos} \times 15 \text{ ns} = 135 \text{ ns}$ ).  
Total =  $75 + 135 = 210 \text{ ns}$  para un burst de 32 bytes.

**Ejemplo: Placa Pentium II, bus de 100 MHz, Memoria SDRAM**

El ciclo de reloj será: 1/100 MHz, es decir, 10 ns. Por lo tanto se necesitan 50 ns para el primer dato del Burst (10 ns x 5 ciclos). Según la tabla, en los siguientes 7 datos emplea 1 ciclo de reloj (7 datos x 1 ciclo = 7 ciclos, 7 ciclos x 10 ns = 70 ns).  
Total = 50 + 70 = 120 ns para un burst de 64 bytes.

**LATENCIAS RAS Y CAS**

- ❑ La **latencia RAS** (*Row Access Strobe*) indica el tiempo necesario (expresado en ciclos de reloj o en nanosegundos) para acceder a la fila de las matrices de celdas de cada chip del módulo, por lo que toma sentido para el primer dato de una ráfaga. Se conoce por las siglas RCD (*RAS TO CAS DELAY*).
- ❑ La **latencia CAS** (*Column Access Strobe*) indica el tiempo necesario (expresado también en ciclos de reloj o en nanosegundos) para acceder a la columna de cada matriz de cada chip del módulo. Se conoce como CL (*CAS LATENCY*).

Una vez visto lo que es un ciclo de reloj, por qué se habla de ráfaga de datos y lo que son las latencias RAS y CAS, pasamos a ver los diferentes tipos de memoria principal analizando su funcionamiento y características fundamentales.

**SDRAM (synchronous DRAM)**

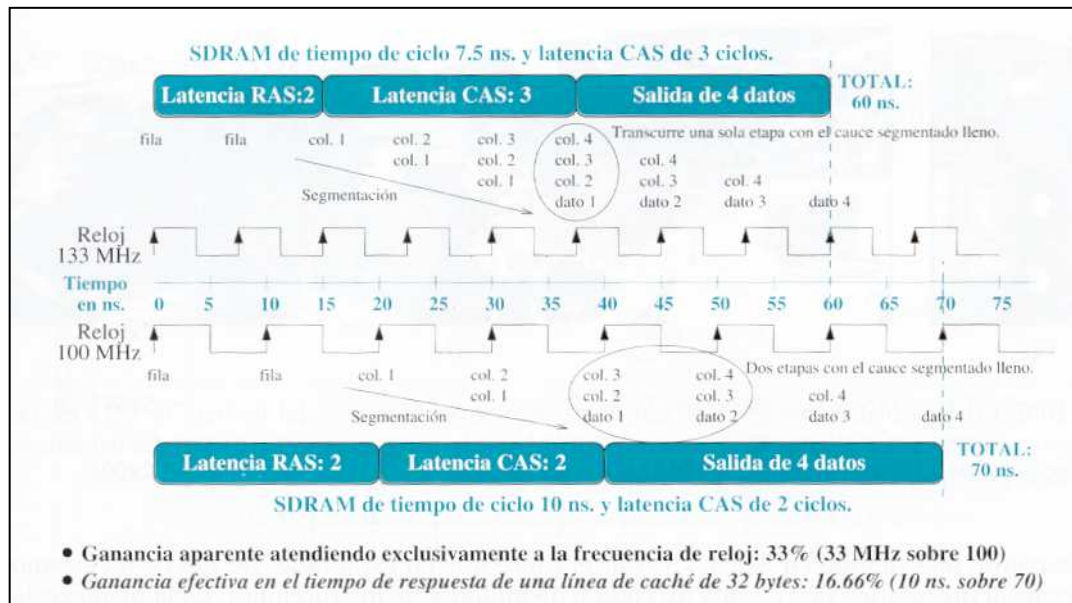
Su esquema de rendimiento para un burst de 4 datos es 5-1-1-1 (latencia RAS de 2 ciclos y CAS de 3 ciclos) ó 4-1-1-1 (latencia RAS y CAS de 2 ciclos), lo que quiere decir que a partir del segundo dato la memoria se sincroniza con el reloj del bus, pudiéndose obtener un dato cada ciclo de reloj. De ahí el prefijo “S” de síncrona.

- ❑ El **tiempo de respuesta** será el necesario para conseguir el primer dato de la ráfaga, es decir, el tiempo de acceso a la fila *más* el tiempo de acceso a columna  $\rightarrow t_{fila} + t_{col}$
- ❑ El **tiempo de ciclo** (¡NO LO CONFUNDAS CON LO QUE DURA UN CICLO DE RELOJ!) es el que marca el ritmo constante de salida de los datos que vienen después del primero, es decir, el tiempo necesario para obtener el 2º dato (que será el mismo tiempo que para obtener el 3º, el 4º, ...) Así pues, para la SDRAM será ¡LO QUE DURA UN CICLO DE RELOJ!, por lo que en este caso ¡PUEDES CONFUNDIRTE!

Veamos un ejemplo para una SDRAM a 133 MHz, cuyo ciclo de reloj dura 7,5 ns, que sale de dividir 1000/133 (Ver la figura que se encuentra más abajo, en esta misma página)

- o El tiempo de respuesta (acceso) es:  $5 \times 7,5 = 37,5$  ns (se necesitan 5 ciclos para obtener el primer dato de la ráfaga). En este caso, el tiempo de acceso a fila ( $t_{fila}$ ) es  $2 \times 7,5 = 15$  ns (latencia RAS = 2) y el tiempo de acceso a columna ( $t_{col}$ ) es  $3 \times 7,5 = 22,5$  ns (latencia CAS = 3), por lo que el tiempo de respuesta también puede calcularse sumando  $t_{fila} + t_{col} = 15 \text{ ns} + 22,5 \text{ ns} = 37,5 \text{ ns}$ .

- o Por otro lado, el tiempo de ciclo (el que marca el ritmo constante de salida de los datos 2º, 3º,...) es:  $1 \times 7,5 = 7,5 \text{ ns}$  (sale un dato cada ciclo de reloj). Observa que en la SDRAM el tiempo de ciclo no es  $t_{col}$  porque está sincronizada con el bus a la hora de obtener desde el segundo dato en adelante gracias a que el acceso a las columnas se encuentra segmentado.



Como en las SDRAM la latencia RAS es siempre de 2 ciclos, podemos ver en la BIOS (a la hora de informarnos de la ráfaga) 3-1-1-1 (para CAS = 3) ó 2-1-1-1 (para CAS = 2) y lo mismo ocurre en los catálogos de los fabricantes.

➤ Sólo se implementan memorias SDRAM en módulos DIMM168.

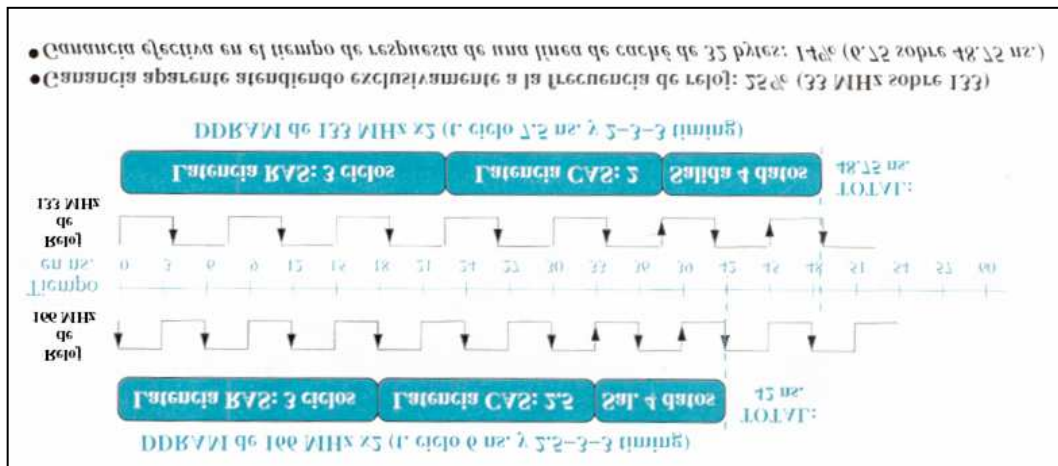
### DDR SDRAM (Double Data Rate DRAM) o SDRAM II

Se basa en el diseño de la SDRAM, pero transfiere información *tanto en el flanco de subida como en el de bajada del ciclo de reloj a partir del segundo dato*, con lo que se duplica la cantidad de información que puede transferir. Es decir, la memoria DDR y la SDRAM funcionan de manera bastante similar a la hora de obtener el primer dato de la ráfaga, por lo que *su tiempo de respuesta es bastante similar*.

Podemos encontrarlas, fundamentalmente, con los siguientes esquemas: 5,5-0,5-0,5-0,5 (latencia RAS = 3 y CAS = 2,5), 5-0,5-0,5-0,5 (latencia RAS = 3 y CAS = 2) y 4,5-0,5-0,5-0,5 (latencia RAS = 2 y CAS = 2,5). Hasta Intel, principal detractor de esta tecnología por su vinculación con el estándar RDRAM, ha optado por fabricar chipsets y placas que soportan este tipo de memoria.

En cuanto a la **nomenclatura usada** en estas memorias tenemos dos tendencias:

- o DDR200, DDR266, DDR400, ... donde la cifra que acompaña a las siglas DDR se refiere a la frecuencia *efectiva* del bus. Por tanto DDR200 funciona en un bus a 100 MHz. (También podemos verlas como DDR PC-100, DDR PC-133, DDR PC200, ... → En este caso sí se hace referencia a la frecuencia real del bus)
- o Otra nomenclatura usada es PC1600, PC2100, PC2700, PC3200,... que se refiere al ancho de banda teórico en Mbytes/segundo.  
Recuerda que el ancho de banda se calcula **multiplicando la frecuencia teórica del bus** (por ejemplo, en una DDR400, aunque el bus vaya realmente a 200 MHz, se tomará como frecuencia 400 Mhz) **por 8 bytes** (un módulo DIMM184, en el que se implementa la DDR, tiene una anchura de 64 bits, es decir, 8 bytes)



- ❑ El **tiempo de respuesta** será el necesario para conseguir el primer dato de la ráfaga, es decir, el tiempo de acceso a la fila más el tiempo de acceso a columna  $\rightarrow t_{fila} + t_{col}$
- ❑ El **tiempo de ciclo** es el que marca el ritmo constante de salida de los datos que vienen después del primero, es decir, el tiempo necesario para obtener el 2º dato (que será el mismo tiempo que para obtener el 3º, el 4º, ...) Así pues, para la DDR será LA MITAD DE LO QUE DURA UN CICLO DE RELOJ.

Como en las DDR anteriores (Ver la figura situada encima de este párrafo) la latencia RAS es de 3 ciclos, podemos ver en la BIOS (a la hora de informarnos de la ráfaga) 2,5-0,5-0,5-0,5 (para CAS = 2,5) ó 2-0,5-0,5-0,5 (para CAS = 2) y lo mismo ocurre en los catálogos de los fabricantes.

➤ La memoria DDR se implementa en módulos DIMM184.

Tanto en las SDRAM como en las DDR, el rendimiento de dichas memorias podemos verlo catalogado en la literatura más técnica, por unos parámetros que configuran un trío llamado "X-Y-Z timing", en donde lo que nos interesa saber es que:

- X representa la latencia CAS
- Y representa la latencia RAS
- Tanto la X, como la Y, como la Z se dan en ciclos de reloj
- Es importante no confundir esta denominación con los valores para una ráfaga de datos.

## • DDR2

DDR2 es un tipo de memoria RAM. Forma parte de la familia SDRAM de tecnologías de memoria de acceso aleatorio, que es una de las muchas implementaciones de la DRAM.

Los módulos DDR2 son capaces de trabajar con 4 bits por ciclo, es decir 2 de ida y 2 de vuelta en un mismo ciclo mejorando sustancialmente el ancho de banda potencial bajo la misma frecuencia de una DDR tradicional (si una DDR a 200MHz reales entregaba 400MHz nominales, la DDR2 por esos mismos 200MHz reales entrega 800MHz nominales). Este sistema funciona debido a que dentro de las memorias hay un pequeño buffer que es el que guarda la información para luego transmitirla fuera del modulo de memoria, este buffer en el caso de la DDR convencional trabajaba tomando los 2 bits para transmitirlos en 1 sólo ciclo, lo que aumenta la frecuencia final. En las DDR2, el buffer almacena 4 bits para luego enviarlos, lo que a su vez redobla la frecuencia nominal sin necesidad de aumentar la frecuencia real de los módulos de memoria.

➤ La memoria DDR2 se implementa en módulos DIMM240.

## • DDR III

DDR III es el nombre del nuevo estándar DDR3 que está siendo desarrollado como sucesor del DDR2.

En febrero, Samsung Electronics anunció un chip prototipo de 512 MB a 1066 MHz (La misma velocidad de bus frontal del Pentium 4 Extreme Edition más rápido) con una reducción de consumo de energía de un 40% comparado con los actuales módulos comerciales DDR2, debido a la tecnología de 80 nanómetros usada en el diseño del DDR3 que permite más bajas corrientes de operación y voltajes (1,5 V, comparado con 1,8 del DDR 2 ó 2,5 del DDR).

Dispositivos pequeños, ahorradores de energía, como computadoras portátiles quizás se puedan beneficiar de la tecnología DDR III. Los DIMMS DDR3 tienen 240 pins, el mismo número que DDR2; sin embargo, los

DIMMS son físicamente incompatibles, debido a una ubicación diferente de la muesca.

### **RDRAM (Rambus Dynamic RAM)**

Para incrementar el ancho de banda de la memoria se puede optar por una de las siguientes soluciones: Incrementar la frecuencia (cosa que va ocurriendo prorgesivamente) o incrementar la anchura del bus (lleva a problemas de sincronización a elevadas frecuencias, desborda el patillaje del chip de memoria y complica el enrutado de las líneas por el espacio físico de una placa base actual)

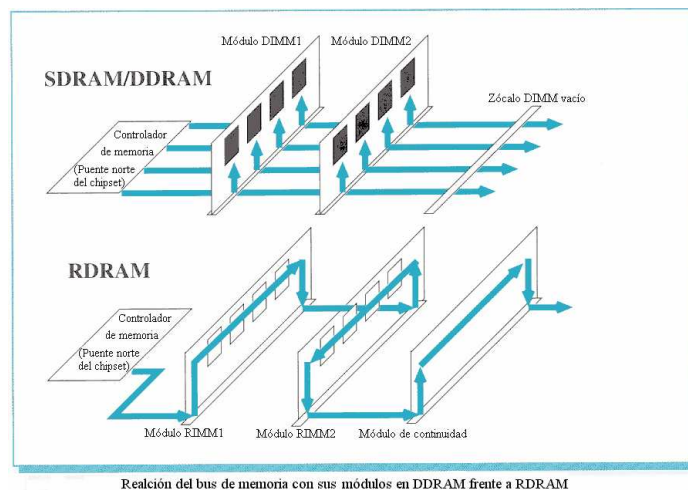
Ante estos escollos en el proceso evolutivo lógico que debían seguir las memorias, se pensó que podía reducirse la anchura de los datos (la sincronización es mejor, se minimiza el ruido eléctrico y desaparecen los problemas de enrutado de las líneas por la placa base) para poder aumentar la fecuencia hasta valores estratosféricos. Ten en cuenta que con esta misma filosofía han ganado la batalla buses estrechos como USB y FireWire frente a otro anchos como el PCI de 64 bits, que se diseñó y no ha tenido ninguna respuesta comercial (sólo se utiliza el PCI de 32 bits). Esta misma idea es lo que abandera la memoria RDRAM, diseñada por Rambus (la empresa que creó la Nintendo-64)

Al principio, la anchura en bits de un módulo RIMM era de 16 bits (RIMM184), después se pasó a 32 bits (RIMM232) y en la actualidad se ha llegado a 64 bits (la misma anchura de la DDR para los RIMM326). Por otro lado, la RDRAM se diseñó para el Pentium IV que tenía (o tiene) una frecuencia de 400 MHz en su bus local, funcionando dicha memoria a 800 MHz (ésta sería la frecuencia efectiva o teórica, ya que el bus iría realmente a 400 Mhz). Siempre la RDRAM ha doblado la fecuencia del bus local del microprocesador; por ejemplo, si el bus local va a 533 MHz la RDRAM tendrá una frecuencia efectiva de 1066 Mhz (533x2), si el bus local va a 600 MHz la RDRAM tendrá una frecuencia efectiva de 1200 MHz (600x2). Por lo tanto, el ancho de banda de un módulo RDRAM de 800 MHz y 16 bits de anchura es de 1,6 Gbytes/segundo (1600 Mbytes/segundo). Por otro lado, el Pentium IV con 400 MHz de frecuencia en su bus local y 64 bits de anchura en dicho bus da un ancho de banda de 3,2 Gbytes/segundo (3200 Mbytes/segundo) para este bus local, por lo que harían falta 2 módulos RIMM de 800 MHz y 16 bits ( $1,6+1,6 = 3,2$ ) para dar el caudal que requiere el bus local del microprocesador.

Esta idea de doblar la frecuencia del bus fue copiada por la DDR (“jay, pillina...!”)

Indicar también que la latencia CAS en una RDRAM es de 9 ciclos y la RAS (o RCD) también de 9 ciclos. Así pues, su esquema general de rendimiento es 18-0,5-0,5-0,5 para los 4 primeros datos de una ráfaga de datos.

La RDRAM utiliza una tecnología basada en líneas de transmisión, lo que permite que la señal “entre” por un lado del módulo, acceda a la memoria RDRAM, “salga” por el otro lado y viaje hasta el próximo módulo. Debido a esto, todos los slots (o zócalos) de memoria de la placa base deben ocuparse con módulos de memoria RIMM o con unos módulos especiales llamados *módulos de continuidad*.



Reseñar que la fabricación de los módulos RIMM es tremendamente exigente y costosa (los chips que forman los módulos resultan mucho más caros de fabricar y además, dichos módulos deben tener un disipador de calor para mitigar el calentamiento generado por funcionar la RDRAM a elevadas frecuencias, que aún la encarece más) Por otro lado, las prestaciones de la RDRAM frente a la DDR no son tan maravillosas como para pagar más por ellas, de ahí que comercialmente casi todos los ordenadores actuales incluyan memoria DDR en lugar de RDRAM.